

(19) 世界知的所有権機関
国際事務局



(43) 国際公開日
2002年5月30日 (30.05.2002)

PCT

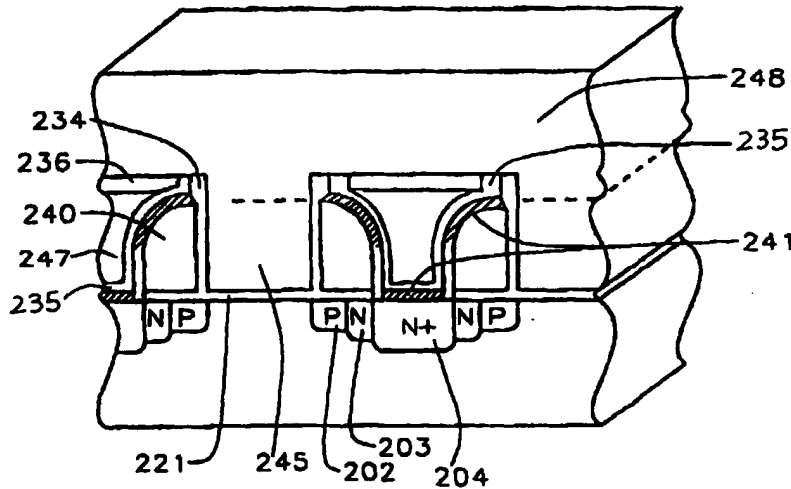
(10) 国際公開番号
WO 02/43158 A1

- (51) 国際特許分類: H01L 29/792, 21/8247 INC.) [JP/JP]; 〒168-0072 東京都杉並区高井戸東三丁目2番24号 Tokyo (JP).
 - (21) 国際出願番号: PCT/JP01/10156
 - (22) 国際出願日: 2001年11月21日 (21.11.2001)
 - (25) 国際出願の言語: 日本語
 - (26) 国際公開の言語: 日本語
 - (30) 優先権データ: 特願2000-354722
2000年11月21日 (21.11.2000) JP
 - (71) 出願人: ヘイロ エルエスアイ デザインアンドデバイス テクノロジー インコーポレイテッド (HALO LSI DESIGN & DEVICE TECHNOLOGY INC.) [US/US]; 12590 ニューヨーク州 ワッピングスフォールズ メイヤーズ コーナーズ ロード 169 New York (US). 株式会社 ニューヘイロ (NEW HALO INC.) [JP/JP]; 〒168-0072 東京都杉並区高井戸東三丁目2番24号 Tokyo (JP).
 - (72) 発明者: 小椋正気 (OGURA, Seiki). オグラ トモコ (OGURA, Tomoko); 12590 ニューヨーク州 ワッピングスフォールズ オールドホープウェルロード 140 New York (US). 林 豊 (HAYASHI, Yutaka); 〒305-0045 茨城県つくば市梅園二丁目3番10号 Ibaraki (JP).
 - (74) 代理人: 田中香樹, 外(TANAKA, Koju et al.); 〒160-0023 東京都新宿区西新宿三丁目3番23号 ファミール西新宿403号 Tokyo (JP).
 - (81) 指定国 (国内): CN, KR, SG.
 - (84) 指定国 (広域): ヨーロッパ特許 (AT, BE, CH, CY, DE, DK, ES, FI, FR, GB, GR, IE, IT, LU, MC, NL, PT, SE, TR).
- 添付公開書類:
— 国際調査報告書

[続葉有]

(54) Title: DUAL BIT MULTI-LEVEL BALLISTIC MONOS MEMORY, AND MANUFACTURING METHOD, PROGRAMMING, AND OPERATION PROCESS FOR THE MEMORY

(54) 発明の名称: デュアルビット多準位バリスティックMONOSメモリ、その製造方法、プログラミング及び動作のプロセス



(57) Abstract: A flash memory having a high speed, low voltage ballistic program, an ultra short channel, an ultra high integration degree, and a dual bit multi-level and requiring two or three polysilicon split gate side wall processes, and the operation thereof; the flash memory, comprising a twin MONOS cell structure having an extremely short control gate channel, the cell structure further comprising (i) side wall control gates (240) disposed on the laminated film formed of oxide film - nitride film - oxide film (ONO) (230) on both sides of a word gate (245) and a control gate and a bit

[続葉有]

WO 02/43158 A1



— 補正

2文字コード及び他の略語については、定期発行される各PCTガゼットの巻頭に掲載されている「コードと略語のガイダンスノート」を参照。

impurity film formed by self-aligning and shared between memory cells adjacent to each other for increased integration degree; the operation, comprising 1) a production process for removable side wall for manufacturing an ultra short channel and the side wall control gate with or without a step structure and 2) a process for forming the control gate on the laminated nitride film and impurity film by self aligning.

(57) 要約:

本発明では、2つまたは3つのポリシリコン・スプリット・ゲート・サイドウォール・プロセスを必要とする、高速低電圧パリスティックプログラム、超短チャンネル、超高集積度、デュアルビット多準位のフラッシュメモリおよびその動作が開示される。本発明の構造および動作は、ごく短い制御ゲートチャンネルを有するツインMONOSセル構造によって実現可能である。当該セル構造は、(i) ワードゲート(245)の両サイド上の酸化膜-窒化膜-酸化膜(ONO)(230)の積層膜上にサイドウォール制御ゲート(240)を配設すること、および(ii) 自己整合によって制御ゲートおよびビット不純膜を形成し、高集積のために隣接するメモリセル間の制御ゲートおよびビット不純膜を共有することによって実現される。本プロセスで用いられる主要素は、1) ステップ構造を有するか、または無しで、超短チャンネルおよびサイドウォール制御ゲートを製造するための、除去可能なサイドウォールの製造プロセス、および2) 蓄積窒化膜および不純物膜上の制御ゲートの自己整合による形成である。

- 1 -

明 細 書

デュアルビット多単位バリスティックMONOSメモリ、その製造方法、プログラミング及び動作
のプロセス

5

技術分野

本発明は、高集積される金属ないしポリシリコン-酸化膜-窒化膜-酸化シリ
リコン膜 (MONOS) メモリアレイの製造方法および高集積MONOSメモ
リアレイに関する。

10

背景技術

不揮発性メモリには、浮遊ゲートおよびMONOSという2つの様式がある。
従来の浮遊ゲート構造では、F-Nトンネリングあるいはソースサイド注入の
どちらかによって、浮遊ゲート上に電子が格納される。従来のMONOSデバ
15 イスでは通常、メモリワードゲート下の酸化膜・窒化膜・酸化膜 (ONO) 層
内の直接トンネリングによって電子を格納する。電子はONO積層膜の窒化膜
に捕獲される。MONOSトランジスタは、浮遊ゲートデバイスよりも1つ少
ないポリシリコン膜しか必要としないので、プロセスが簡略化され、より一層
密なアレイを得ることができる。

20

MONOS構造は、一般的には、その中のONO積層膜がワードゲートの下
に堆積されるプレーナーデバイスである。プログラム動作の直接トンネリン
グを利用するためには、ONO膜の底部酸化膜の厚さは3.6nmより薄くな
なければならない。しかしながら1998年に、クォータン チャン (Kuo-Tung
Chang) らによる「プログラミングのためにソースサイド注入を用いる新SO
25 NOSメモリ (A New SONOS Memory Using Source Side Injection for Prog
ramming)」(IEEE Electron Letters、1998年7月、Vol.19, No.7) で、厚

-2-

- さ5. 0 nmの底部酸化膜、サイドウォールポリシリコンゲート、およびソースサイド注入プログラムを有するMONOS構造が初めて報告された。当該構造では、図1に示されるように、典型的なサイドウォールプロセスによって、ワードゲートの一方の側面に接してサイドウォールスペーサ20が形成されて、
- 5 従来のMONOSメモリセルに関するワードゲート下の代わりに、サイドウォールゲート下にONO積層膜22がある。SONOSサイドウォール制御ゲート下のチャンネル長は100 nmより大きいので、プログラム機構は、より厚い底部酸化膜にもかかわらず、電子トンネリングよりも高速で低い電圧を必要とするようなソースサイド注入である。ソースサイド注入の間、サイドウォール
- 10 ゲートと選択/ワードゲートとの間隙にチャンネル電位が形成される。チャンネル電子30は、前記間隙内で加速されて、ONO膜内に注入するのに充分ホットな電子になる。したがって、クォータン チャンのSONOSメモリは、従来の直接トンネリングMONOSセルよりもすぐれたプログラム性能を達成することができる。
- 15 SONOSメモリセルは、そのスプリットゲート構造およびソースサイド注入プログラムの点でMONOSメモリの中で独特だけれども、その構造およびプログラムの主要部分は、従来のスプリットゲート浮遊ゲートデバイス用のそれらと類似である。どちらのセル様式も、ワードゲートとサイドウォールスペーサゲートとを並べて有する。サイドウォールゲートの利用と電子蓄積領域の
- 20 構造に、非常に大きな違いがある。スプリットゲート浮遊ゲートセルでは、サイドウォールスペーサは、その上に電子が格納されるような浮遊ゲートである。ワードゲート、拡散領域、および浮遊ゲート間を接続する電気容量によって浮遊ゲート電圧が決定される。SONOSセルでは、制御ゲートと呼ばれるサイドウォールスペーサ下の窒化物領域内に電子が格納される。窒化物領域の電圧
- 25 は、前記サイドウォールゲート電圧によって直接的に制御される。

1999年5月17日に出願された、同一発明者の米国特許出願第09/3

- 3 -

1 3, 3 0 2号で、より高速なプログラム、およびより高い集積度を有する浮遊ゲートメモリセルが紹介された。図 3 Aは前記高速プログラム、デュアルビット、高集積度のメモリセルの配列図であり、図 3 Bはその配置断面図である。このメモリ構造では、2つのサイドウォール浮遊ゲートを1つのワードゲート

5 に組み合わせること（例えば、浮遊ゲート 3 1 2、3 1 3とワードゲート 3 4 1）、および互換性のあるソースドレイン拡散領域（3 2 1、3 2 2）をセル間に共有することによって高集積度が実現される。すなわち、1つのメモリセルは2つの電子記憶領域を有する。追加したポリシリコン線の「制御ゲート」は、拡散領域に対して平行に、かつワードゲートに対して直角に進む。制御ゲート（3 3 1、3 3 2）は浮遊ゲートに結合されて、一对の浮遊ゲートから個別に1つの浮遊ゲートを選択するように異なる制御方向を提供する。さらに、このメモリはバリスティック注入による高速プログラミングによって特徴づけられる。同じデバイス構造を用いて、サイドウォールゲートチャンネルが適当な不純物断面 (profile) を含み、4 0 n mより短くされる場合には、注入機構

15 が、ソースサイド注入から、バリスティック注入と呼ばれるような新しく、極めて一層有効な注入機構に変化する。エス・オグラ (S. Ogura) による、1 9 9 8年発行の I E D M、9 8 7頁の「EEPROM/フラッシュのためのバリスティック直接注入を有するステップ・スプリット・ゲートセル」(Step Split Gate Cell with Ballistic Direction Injection for EEPROM/Flash) で、

20 バリスティック注入機構が証明された。図 2 Aでは、浮遊ゲートメモリセルの、バリスティック注入 (線 2 5) および従来のソースサイド注入 (線 2 7) の結果が比較される。それらの構造は非常に似ているけれども、制御ゲートが 1 0 0 n mの場合、注入機構はソースサイド注入である。しかしながら、図 2 Bに示されるように、バリスティック注入 (線 3 5) 用に必要な短いチャンネル長を

25 満たすように、チャンネル長が 4 0 n mにまで低減されると、プログラム速度が、同じバイアス条件下で3倍になるか、またはソースサイド注入 (線 3 7) 用に

- 4 -

必要な浮遊ゲート電圧の半分で加速される。

対照的に、クォータンチャンのSONOSメモリ構造のサイドウォールチャンネル長は200nmであり、したがってプログラム機構はソースサイド注入である。すなわち、短いチャンネル長と注入機構との間には重大な相関関係が存在する。

発明の開示

発明の概要

本発明では、2つまたは3つのポリシリコンスプリットゲート・サイドウォールプロセスによって、高速低電圧パルスティックプログラム、超短チャンネル、超高集積度、デュアルビット多準位のフラッシュメモリが達成される。3～5Vの低いプログラム電圧で高い電子注入効果および極めて高速なプログラムを提供するようなパルスティック注入（エス・オグラ：S. Ogura）を伴う、40nmより短い超短制御ゲートチャンネルを有するツインMONOSセル構造によって、本発明の構造および動作が実現可能である。セル構造は、(i)ワードゲートの両サイド上の酸化膜-窒化膜-酸化膜（ONO）の積層膜上にサイドウォール制御ゲートを配設すること、および(ii)自己整合によって制御ゲートおよびビット拡散領域を形成し、高集積度用メモリセル間で制御ゲートおよびビット拡散領域を共有することによって実現される。本プロセスに用いられる主要素は、

(i) 超短チャンネルを製造するための除去可能なサイドウォールプロセスおよび段差チャンネル構造付きあるいは無しのサイドウォール制御ゲート

(ii) 蓄積窒化膜上の制御ゲートと自己整合された拡散領域、および制御ゲートと同じ方向に延設されたビット線拡散領域である。

25 本発明の高速プログラム、低電圧、超高集積度、デュアルビット、多準位のMONOS NVRAMの特徴は、

- 5 -

1. 制御ゲート下のONO膜内の窒化物領域内の電子メモリ
 2. セル毎に2つの窒化膜メモリ要素がある高集積デュアルビットセル
 3. 高集積デュアルビットセルが各窒化物領域内に多準位を記憶できること
 4. ワードゲートおよび制御ゲートによって制御される低電流プログラム
 - 5 5. 制御可能な超短チャネルMONOSを利用するパリスティック注入による高速、低電圧プログラム
 6. 選択されていない隣接の窒化物領域およびメモリセルのメモリ蓄積状態の影響をマスキングアウトする間に、多準位をプログラムし、かつ読み出すためのサイドウォール制御ポリゲートを含む。
- 10 パリスティックMONOSメモリセルは、次のような配列で整列される。各メモリセルは1つのワードゲート用の2つの窒化物領域、および2分の1のソース拡散領域、2分の1のビット拡散領域を含む。制御ゲートは、離して区切られるか、または同じ拡散領域上で共有される。拡散領域はセル間で共有されて、サイドウォール制御ゲートに対して平行に、かつワード線に対して垂直に
- 15 延設される。
- 多準位記憶のための作動条件の概要が図3Bに示される。読み出し中は次の条件が満たされなければならない。選択されたメモリセル内の選択されない制御ゲートの電圧は、制御ゲートの閾値電圧とソース電圧との和より大きくなければならない。一对の制御ゲート内のワード選択ゲートは、ワードゲートの閾
- 20 値電圧と0.5V付近のオーバーライド増加分 (override delta) とソース電圧との和 ($V_{t-wl} + V_{overdrive} + V_s$) まで高められる。関連する制御ゲートを0Vまで低減することによって、選択されないMONOSセルが無効にされるであろう。プログラム条件は、ワード線電圧が、その閾値と、低電流プログラムのためのオーバードライブ電圧増加分との和より大きいこと、選択された
- 25 一对の制御ゲートのいずれもが V_{t-high} (多準位閾値の範囲内での最高閾値電圧) とオーバーライド増加分との和より大きいこと、および同一ワード線電圧

- 6 -

を共有する隣接メモリセルが制御ゲートのみを調整されることによって無効とされることである。

図面の簡単な説明

- 5 図1は、従来技術のSONOS（シリコン-酸化膜-窒化膜-酸化膜-シリコン）のデバイス構造である。

図2Aは、100nmのチャンネル長のためにはソースサイド注入が高電圧動作を必要とすることを証明するような、スプリットゲート浮遊ゲートトランジスタの実験結果を示す図である。

- 10 図2Bは、40nmのチャンネル長のためには、バリスティック注入動作が、はるかに低い電圧および/あるいは、はるかに高速なプログラム速度で動作することを示すような、スプリットゲート浮遊ゲートトランジスタの実験結果を示す図である。

- 15 図3Aは、超短バリスティックチャンネルを有する従来のダブルサイドウォールデュアルビットスプリット浮遊ゲートセルのアレイ回路図である。

図3Bは、超短バリスティックチャンネルを有する従来のダブルサイドウォールデュアルビットスプリット浮遊ゲートセルの配置断面図である。

図4Aは、本発明のプロセスの、第1の好ましい実施例の断面図である。

図4Bは、本発明のプロセスの、第1の好ましい実施例の断面図である。

- 20 図4Cは、本発明のプロセスの、第1の好ましい実施例の断面図である。

図4Dは、本発明のプロセスの、第1の好ましい実施例の断面図である。

図4Eは、本発明のプロセスの、第1の好ましい実施例の断面図である。

図4Fは、本発明のプロセスの、第1の好ましい実施例の断面図である。

図4Gは、本発明の完成されたメモリセルの平面図である。

- 25 図5Bは、本発明のプロセスの、第2の好ましい実施例の断面図である。

図5Cは、本発明のプロセスの、第2の好ましい実施例の断面図である。

- 7 -

- 図 5 F は、本発明のプロセスの、第 2 の好ましい実施例の断面図である。
- 図 6 A は、本発明のプロセスの、第 3 の好ましい実施例の断面図である。
- 図 6 B は、本発明のプロセスの、第 3 の好ましい実施例の断面図である。
- 図 6 C は、本発明のプロセスの、第 3 の好ましい実施例の断面図である。
- 5 図 6 D は、本発明のプロセスの、第 3 の好ましい実施例の断面図である。
- 図 6 F は、本発明のプロセスの、第 3 の好ましい実施例の断面図である。
- 図 7 A は、本発明のアレイ回路図である。
- 図 7 B は、本発明の断面図である。
- 図 7 C は、本発明において読み出し中に必要とされる電圧状態を示す。
- 10 図 8 A は、本発明において読み出し中に必要とされる電圧状態を示す。
- 図 8 B は、本発明における読み出し中の感知電圧曲線を示す図である。
- 図 8 C は、本発明における読み出し中の感知電圧電流曲線を示す図である。

発明を実施するための最良の形態

15 好ましい実施例の説明

本発明によって、2つの窒化膜メモリ要素および2分割された制御ゲートを有するバリスティックツインMONOSメモリセルのための製造方法が提供される。その方法は、フラットチャネルを有するデバイス、および/あるいはMONOSセル内の窒化膜の下にステップチャネルを有するデバイスに適用でき

20 る。

浅溝分離、pウェル、およびnウェルの形成手順は、従来のCMOS手法のそれと同じなので示されない。ポリシリコンワードゲートもまた、図4Aに示されるような従来のCMOSプロセスによって形成される。ワードゲートを形成するために、メモリゲート酸化シリコン膜221が、約5~10ナノメートルの間の厚さに形成される。それから、ゲート材料用に、化学気相成長法(CVD)によって、約150~250nmの厚さのポリシリコン245が堆積さ

25

- 8 -

れる。化学的機械研磨 (chemical mechanical polishing : CMP) に対するエッチングストッパとして後に使用される窒化膜 2 3 2 が、CVD によって約 50 ~ 100 nm の厚さに堆積される。標準的な CMOS プロセスでメモリワードゲートを形成する。すなわち、フォトレジストプロセス、露光および現像を伴うマスキングプロセス、および反応イオンエッチング (RIE) による窒化膜 2 3 2 およびポリシリコン 2 4 5 への垂直エッチングが実現される。ホウ素 2 0 2 が追加的に、浮遊ゲート下の VT を調整するために、1 平方センチメートルあたり $3 \text{ E } 1 2 \sim 3 \text{ E } 1 3$ のドーズ量で、かつ低エネルギー (約 10 KeV エネルギーより低い) で注入される。ワードゲートを形成するために用いられたフォトレジストの除去後に、ワードゲートは図 4 A に示されるようになる。

図 4 B に示されるように、サイドウォールポリシリコンの表面に、約 5 ~ 10 nm の薄い酸化シリコン膜 2 3 4 が熱的に成長されるか、または二酸化シリコンおよび/あるいは窒化シリコンフィルムが CVD 法によって一様に堆積される。それから、短チャネルを制御性よく規定し、高い電子注入効果による高速プログラミングを提供するために、除去可能なサイドウォールの製造プロセスが実行される。典型的には 30 ~ 50 nm の厚さを有する 1 つの薄いポリシリコン膜が堆積される。さらに、図 4 B に示されるように、ワードゲート 2 4 5 の両サイド上に除去可能なサイドウォールスペーサ 2 4 2 を形成するような、垂直または異方性のポリシリコンエッチングが施される。ヒ素などの N ドーパント 2 0 3 の注入が、10 ~ 15 KeV で $3 \text{ E } 1 3 \sim 4 \text{ E } 1 3 / \text{ cm }^2$ のイオンドーズ量で実行される。つまり、ポリシリコン膜の厚さが制御ゲート下の有効チャネル長を決定する。

図 4 C に関しては、乾式の化学的異方性エッチングによって、除去可能なサイドウォールスペーサ 2 4 2 が徐々に除去される。この段階での典型的なエッチング環境は、 $\text{HBr} / \text{Cl}_2 / \text{O}_2$ である。次に、(例えば水酸化アンモニウム水で) 緩衝されたフッ化水素酸 (BHF)、気相 HF、あるいは CF_4 / O_2 のよ

- 9 -

うな反応イオンエッチングによって、底部酸化シリコン膜221が徐々に食刻(etching out)される。酸化膜(O) - 窒化膜(N) - 酸化膜(O)の積層膜230が形成される。膜230は、簡略にするために3層では示されない。底部酸化膜は熱成長され、その厚さは直接トンネリングの限界値(3.6 nm)より僅かに厚い3.6~5 nmであり、CVDによって堆積された窒化シリコン膜は約2~5 nmであり、さらに頂部酸化膜はCVD堆積法によって堆積されて、それは約4~8 nmである。頂部酸化膜の品質を高めるために、熱酸化を加えることができる。また底部酸化膜の信頼性を高めるために、窒化膜の堆積の前にN₂O環境内での短時間の窒化を加えることもできる。

10 ここで、約30~50 nmのリン添加ポリシリコン薄膜および60~100 nmのタングステンシリサイドがCVDにより堆積される。ポリシリコンおよびタングステンシリサイドの積層膜は制御サイドウォールスペーサゲートになる。図4Cに示されるように、サイドウォール制御ゲート240を形成するために、垂直、異方向性反応エッチングが実行される。酸化膜-窒化膜-酸化膜の積層膜も貫通してエッチングされて、サイドウォール制御ゲート下のみに、
15 このONO膜230が残る。

厚さ約10 nmの酸化シリコン膜あるいは窒化膜の薄いCVD膜233が堆積される。図4Cに示されるように、n⁺注入領域204のためのリンおよび/あるいはヒ素が、3E14~5E15イオン/cm²のドーズ量で注入される。
20 合計の厚さは90~150 nmであり、それは有効な制御ゲートチャネル長とn⁺注入領域の外部拡散領域の和に等しい。

変形例としては、サイドウォールスペーサゲート240は、ポリシリコンとタングステンシリサイドの積層膜ではなく、単純に、リンあるいはヒ素添加ポリシリコン膜であってよい。制御ゲートをシリサイド化して低抵抗化するのであれば、図4Dに示されるように、n⁺注入領域の形成、および厚さ約10 nm
25 の酸化シリコン膜あるいは窒化膜の薄いCVD膜233の堆積の後に、ゲート

- 10 -

240上にサイドウォール酸化膜スペーサ233を形成するために垂直反応イオンエッチングが実行される。典型的なシリサイド化では、プラズマスパッタ法 (sputtering) によって約10nmのコバルトあるいはチタンが堆積され、約650℃で高速熱処理 (アニール) が実行される。ゲート240および拡散領域204の頂部上のシリサイド層241の構成が図4Dに示される。図4Dにはシリサイド層241が図示されるが、それは必須ではない。動作、読み出し、プログラム、および消去の全モードのパフォーマンスを向上するために、制御ゲート線あるいは拡散領域線のRC時定数を低減することは一つの選択である。

10 汚染防止用の酸化膜および/あるいは窒化膜235がCVDによって堆積される。次に、間隙を埋めるためにCVD酸化シリコン膜あるいはBSGの膜247が堆積される。間隙充填材はCMPによって窒化膜232が露出するまで研磨される。

変形例としては、間隙充填材247は、サイドウォールゲートのRC時定数
15 あるいは必要に応じてはビット拡散領域のRC時定数を低減するために用いることができるような、ポリシリコンあるいはタングステンなどの導電性材料であることができる。導電膜がCMPによって研磨されて窒化膜232が露出した時、導電膜は垂直反応イオンエッチングによって数百ナノメートル (50nm) へこまされる。次に、CVDにより二酸化シリコン膜 (約50nm) が堆積されて、図4Eの236によって示されるようにCMPが実行される。

図4Eの窒化膜232は、 H_2PO_4 によって、あるいは乾式の化学的エッチングによって選択的にエッチングされる。150~200nmの厚さのポリシリコン膜がCVDによって堆積される。当該ポリシリコン膜248および下層のポリシリコンワードゲート245が、通常の写真レジストおよびRIEプロセスによって限定される。この時点の構造が図4Fに示される。

隣接するワード線ゲートを結合することによって、ポリシリコン膜248が

- 11 -

ワード線ワイヤとして機能する。最終的なメモリセルがこの時点で完成される。シート抵抗を低減するために、当該ワードポリシリコン膜はチタンあるいはコバルトでシリサイド化され得る。メモリセルの典型的な平面図が図4Gに示される。浅溝分離領域が図4Gに領域209で示される。

- 5 前述のプロセスは、非常に短いチャネル（30～50nm）を有するプレーナチャネルツインMONOSメモリの製造を説明する。少しのプロセス段階を変更および追加することによって、プレーナ構造と同じ集積配列を用いて、より効果的なパルスティック注入を伴うステップスプリット構造が構成され得る。本発明の、この第2の実施例は図5B、5C、および5Fを参照して詳述
- 10 される。

- ドープされたポリシリコンを垂直にエッチングすることによって除去可能なサイドウォールスペーサ242を形成した後に、図4Bに対応するように、酸化シリコン膜221が垂直にエッチングされる。ステップスプリットメモリセルを形成するためのプロセス変更は、エッチングをシリコン基板内におよそ
- 15 0～50nmの深さまで続けることから始まる。次に、図5Bに示されるようにポリサイドウォールをマスクとして用いて、10～15KeVのエネルギーでドーズ量が $3E13 \sim 4E13 / cm^2$ であるようなN領域203を形成するために、段差部の底部にヒ素が僅かに埋め込まれる。次に、除去可能なN⁺添加ポリシリコンスペーサが、湿式エッチング（HNO₃/HF/酢酸、あるいはH₂PO₄またはNH₄OH）および乾式プラズマエッチングのどちらかによって、
- 20 ドープされたバルクN⁺領域まで選択的に除去される。この除去可能なスペーサエッチング中のバルクエッチングは、段差状エッチングの一部として含まれ得る。除去可能なポリシリコンスペーサ下に残されたゲート酸化膜221を徐々に食刻した後に、シリコン表面が洗浄される。シリコン内への総段差は約20
- 25 ～50nmでなければならない。段差部の角が尖っている場合には、約60秒間の約1000～1100℃での高速熱焼きなまし（RTA）による角の丸め

が選択的に加えられるか、あるいは900℃、200～300mトル圧での水素焼きなましが実行され得る。これらの変更または追加の後に、製造工程は前述の手順に戻る。

- 図5Cに示したように、酸化膜—窒化膜—酸化膜の積層膜が形成される。膜230は簡明にするために3層では示されない。底部酸化膜は熱酸化により形成され、その厚さは直接トンネリングの限界(3.6nm)よりも僅かに厚い3.6～5nmである。CVDによって堆積された窒化シリコン膜は約2～5nmである。さらに頂部酸化膜がCVDによって堆積されて、それは約4～8nmである。頂部酸化膜の品質を高めるために熱酸化を加えることができる。
- 10 また底部酸化膜の信頼性を高めるために、窒化膜を堆積する前に酸化窒素環境内での短時間の窒化を加えることもできる。

- 次に、制御ゲートになるリン添加ポリシリコン膜が90～180nmの厚さで堆積されて、図5Cに示されるように、サイドウォールゲート240を形成するために、垂直あるいは異方性のエッチングが実行される。プレーナースプリットデバイス用に与えられた製造工程を続けることによって、図5Fに示されるように、ステップスプリットデバイスを製造できる。当該サイドウォールポリシリコンゲートは、シリサイド化されるか、または平坦チャネルMONOSツインセルの第1の実施例で実現されるような耐熱性シリサイドによって置き換えることができる。

- 20 プレーナーおよびステップデバイスの両方用の前述の製造工程においては、除去可能なサイドウォールスペーサ242は、ポリシリコンの代わりに、プラズマ窒化膜、酸化膜またはホウ素リンガラス(BPSG)でも良い。なぜならば、熱酸化シリコン膜に対する、 H_2PO_4 酸または希釈HF内でのエッチング割合は非常に高い(例えば少なくとも10～100倍)からである。
- 25 本発明の第3の実施例が図6A～6D、および6Fを参照して述べられる。本発明の第3の実施例では、2つのサイドウォールスペーサの代わりに単一の

大きなスペーサを用いることによって制御可能性が喪失され、その結果、僅かにプログラム速度が遅くなるものの、第1の実施例のプレーナーツインMONOSメモリセルの製造工程が簡略化される。通常のCMOSプロセスからの変更がワードゲートポリシリコン245の堆積の前から始まる。図6Aの酸化膜-窒化膜-酸化膜(ONO)の積層膜230が形成される。膜230はここでも簡略化のために3層では示されない。底部酸化シリコン膜は約3.6~5nmの厚さで熱酸化により形成されるのが好ましく、CVDによって堆積された窒化シリコン膜は約2~5nmであり、頂部の酸化膜はCVDによって堆積されて、約5~8nmの厚さである。ポリシリコンおよび除去可能なサイドウォールスペーサが連続してエッチングされないように、頂部のCVD酸化膜は第1および第2のプロセス実施例に較べて僅かに厚い。次に、CVDによってゲート材料用のポリシリコン245が堆積され、引き続きCVD窒化シリコン膜232が約50~100nmの厚さに堆積される。

次に、メモリゲート245を形成するために、フォトレジスト膜が形成され、露光および現像を伴うマスクングプロセスが実行される。次いで、下層の積層膜230内の頂部の酸化シリコン膜をエッチングストップとして、反応イオンエッチング(RIE)によってポリシリコン膜が垂直にエッチングされる。次に、図6Aに示されるように、ホウ素202が低エネルギー(10KeVより低い)、かつ $5E12 \sim 2E13$ イオン/cm²のドーズ量で追加的にイオン打ち込みされ、ヒ素もまた、前記ホウ素と同じ程度の約 $5E12 \sim 1.5E13$ KeVで同時に浅く打ち込まれる。ヒ素の影響により、チャネル閾値が非常に低いけれども、短チャネル領域内にチャネル電位降下を生じるための不純物は多く存在する。

約5nmのシリコン薄膜234がポリシリコンの側面上に熱酸化で形成されるか、あるいは同様にCVDにより堆積される。次に、典型的には約90~150nmの厚さを有する除去可能なポリシリコン膜が堆積される。さらに、図

- 6 Bの除去可能なサイドウォールスペーサ243を形成するような、垂直あるいは異方向性のポリシリコンエッチングが実行される。このスペーサは第1および第2の実施例のスペーサより厚い。次に、N⁺注入領域204を形成するために、酸化膜-窒化膜の積層膜を貫通して、 $1E15 \sim 5E15 / cm^2$ のドーズ量、かつ20~50KeVのエネルギーレンジで、ヒ素イオンが打ち込まれる。
- 5 低電力での高いパルスティック注入効果のために、焼きなましの温度と時間(850~900℃で5~20秒)で外部拡散領域を調整することによって、ワードゲートのエッジからN⁺注入領域204のエッジまでで定義されるチャンネル長が、約30~50nm(電子の平均自由行程の3~4倍)に設計される。
- 10 その後、乾式の化学的等方性エッチングによって、除去可能なサイドウォールスペーサ243が徐々に除去される。この段階での典型的なエッチング環境はHBr/Cl₂/O₂である。緩衝フッ化水素酸によって、窒化膜上の露出された酸化シリコン膜が徐々に食刻される。図6Cに示される積層膜ONO230内の頂部酸化膜に代わって、CVDによって約4~6nmの新しい酸化シリ
- 15 コン膜244が堆積される。頂部酸化膜の品質を高めるために、頂部膜が堆積された後に熱酸化が加えられる。
- 変形例としては、除去可能なサイドウォールスペーサ234の除去の前に、RIEによって酸化膜-窒化膜の露光された頂部2層がエッチングされる。次に、頂部酸化膜を改質するために、CVDおよび連続的な熱酸化によって約4
- 20 ~6nmの新しい酸化膜が堆積される。ウェットな二酸化環境内での約859~900℃で20分の前記酸化プロセス中に、図6Dに244で示されるように、n⁺注入領域上の窒化膜除去領域上に約20nmの酸化膜が追加的に形成される。この厚い酸化膜が、制御ゲート240とビット拡散領域204との間の接続静電容量を低減する。
- 25 ワードポリシリコン245と頂部窒化膜232の高さの和よりもわずかに厚い、およそ300nmのポリシリコン膜が堆積されて、エッチングストップと

- 15 -

して窒化膜を用いたCMPが実行される。次に、充填されたポリシリコン膜240が、垂直、異方向性反応イオンエッチングによって、約50nmへこまされる。次に、約10nmの薄いチタンあるいはコバルトが堆積されてシリサイド化が実行される。シリサイド膜241は制御ゲート抵抗を低減するためのものである。236によって図示されるように、CVDによる二酸化シリコンの堆積およびCMPが再度実行される。この時点でのデバイスの断面が図6Cおよび6Dに示される。

次に、H₂PO₄あるいは乾式の化学的エッチングによって、窒化膜232が選択的にエッチングされる。約150~200nmの厚さを有するポリシリコン膜248がCVDによって堆積される。通常の写真レジストおよびRIEプロセスによって、当該ポリシリコン膜および下層のワードゲートポリシリコン245が加工される。この時点での構造が図6Dに示される。

隣接するワード線ゲートを結合することによって、ポリシリコン膜248がワード線ワイヤとして機能する。最終的なメモリセルがこの時点で完成される。シート抵抗を低減するために、当該ワードポリシリコン膜は、チタンあるいはコバルトでシリサイド化される。メモリセルの典型的な平面図が図4Gに示される。浅溝分離領域が領域209によって提供される。これらの臨界寸法が、臨界寸法が低減されるような技術で決定されることが理解される。

前述の実施例においては、本発明のメモリ集積度を高めるために、2つの用法が組み合わされていた。第1の用法では、できるだけ多くのセル要素を共有することによって、集積度が2倍より大きい。1つのワード選択ゲートが2つの窒化膜蓄積領域間で共有され、制御ゲート線と同じソース線/ビット線が接合セル間で共有される。第2の用法では、複数の閾値が制御ゲート下の窒化物領域に記憶され、各閾値間のマージンを適正に保ちながら、高集積度アレイを可能にする多準位の感知およびプログラムを実現するために、所定の電圧および制御条件が開発されている。

- 16 -

多値記憶用の動作方法

以下に詳述される手順は、2ビット以上の多値記憶ばかりでなく、制御ゲート下の窒化物領域内に記憶されるための、 V_{t-hi} および V_{t-low} がそれぞれ閾値電圧の最高値および最低値であるような単一ビット/2値記憶用法にも適用される。メモリセルのデュアルビット性は、単一のワードゲートに組み合わされた2つの窒化物領域の関連およびセル間のソースおよびドレイン領域の互換性に由来する。当該セル構造はサイドウォール堆積プロセスによって得られ、製造および動作の概念は、ステップスプリット・パリスティックトランジスタおよび/あるいはプレーナースプリットゲート・パリスティックトランジスタのどちらにも適用することができる。ステップスプリットおよびプレーナパリスティックトランジスタは、低いプログラミング電力、高速プログラミング、および薄い酸化膜を有する。

プレーナースプリットゲートパリスティックトランジスタアレイの断面が図7Bに示される。ワードゲート340、341、および342は全て第1層ポリシリコン内に形成され、相互に接続されてワード線350を形成する。ワードゲート340、341、および342の両サイド上に堆積される一対のサイドウォール331a、331b、332a、332bの下にONOが形成される。各サイドウォール下のONO膜内の窒化膜は、電子メモリ用の事実上の領域である。これらの窒化物領域は、図7Bおよび7Cの310、311、312、313、314、315である。周辺復号化回路を単純にするために、プロセス実施例3、および間隙充填材料247が導電体であるような実施例1および2によって単一制御ゲート330、331、332、333を形成することにより、同じ拡散領域を共有する2つのサイドウォール制御ゲートが結合される。1つの拡散領域を共有する2つのサイドウォールゲートがお互いに隔離される（間隙充填材料が絶縁材である）ようなプロセス実施例1および2の場合には、メモリアレイのワイヤアウトサイドでこれら2つのゲートを電氣的に

- 17 -

接続することが実現可能である。個別のサイドウォールゲートを制御ゲートとしてメモリアレイを操作することも可能だが、周辺論理回路は、高集積度メモリの利点を損なうような、さらなる負担となるであろう。

窒化物領域 3 1 1 および 3 1 2 は制御ゲート 3 3 1 を共有し、窒化物領域 3
5 1 3 および 3 1 4 は制御ゲート 3 3 2 を共有する。メモリセル 3 0 1 は、ソース拡散領域 3 2 1 およびビット拡散領域 3 2 2 を有し、そのソース拡散領域とビット拡散領域との間に連続する 3 つのゲート、すなわち下層に窒化物領域 3 1 2 を具備する制御ゲート 3 3 1、ワードゲート 3 4 1、および下層に窒化物領域 3 1 3 を具備する他方の制御ゲート 3 3 2 を有するように説明することができる。ワードゲート 3 4 1 は単純論理オン/オフスイッチであり、制御ゲートは、読み出し中の選択された窒化物領域の電圧状態を個別に出力することを可能にする。同じワードゲートを共有する 2 つの窒化物蓄積領域は、本明細書において以下「窒化物蓄積領域ペア」と表現される。単一メモリセル 3 0 1 内では、窒化物蓄積領域ペア内の 1 つの窒化物蓄積領域 3 1 3 が、読み出しアクセスあるいはプログラム動作のために選択される。「選択された窒化物蓄積領域」 3 1 3 とは、選択された窒化物膜ペアのうちの選択された窒化物領域のこと
15 である。「選択されない窒化物蓄積領域」 3 1 2 とは、選択された窒化物蓄積領域ペアのうちの選択されない窒化物蓄積領域のことである。「近位隣接窒化物蓄積領域」 3 1 1 および 3 1 4 とは、選択されたメモリセル 3 0 1 に最も隣
20 接するような選択されないメモリセル内の窒化物膜充填ペアの窒化物蓄積領域のことである。「遠位の選択されない隣接窒化物蓄積領域」 3 1 0 および 3 1 5 とは、同一の選択されない隣接メモリセル窒化物蓄積領域ペア内の隣の選択されない隣接窒化物蓄積領域の反対側の窒化物蓄積領域のことである。さらに、
25 選択されたメモリセルの「ソース」拡散領域 3 2 1 は、選択された窒化物蓄積領域からの 2 つのメモリセル拡散領域であり、選択された窒化物蓄積領域に最も接近した接合部は、「ビット」拡散領域 3 2 2 と呼ばれる。

本発明では、一組の窒化物蓄積領域から一方の窒化物蓄積領域の働きを制御するために、制御ゲート電圧が操作される。制御ゲート電圧の3つの状態、すなわち「オーバーライド (over-ride)」、「エクスプレス (express)」、および「抑止 (suppress)」がある。制御ゲート電圧状態は、ワード線電圧の合計が

2. 0 Vになり、「ビット」拡散領域電圧が0 Vであり、かつ「ソース」拡散領域電圧の合計が1. 2 Vになるように説明される。与えられた電圧は、プロセス技術の特徴に基づく多数の適用可能例のうちの1例であり、いかなる限定でもないということが理解されなければならない。オーバーライド状態では、制御ゲート下のチャンネルが窒化物領域内に蓄積された電荷に関わらず導電化されるように、V (CG) が高電圧 (~5 V) まで高められる。エクスプレス状態では、制御ゲート電圧が約V_{t-hi} (2. 0 V) まで高められ、制御ゲート下のチャンネルは、窒化物領域のプログラム状態に依存して導電化されるであろう。抑止モードでは、下層のチャンネルの導電化を抑止するために、制御ゲートが0 Vに設定される。

15 表1は、選択された窒化物領域313の読み出し中の電圧である。

表1

選択されたFG=313の読み出し用電圧

Vd0	Vcg	Vwl	Vd1	Vcg	Vwl	Vd2	Vcg	Vwl	Vd3	Vcg
320	0	340	321	1	341	322	2	342	323	3
	330			331			332			333
0*	0	2.5	1.2	5	2.5	~0	2.5	2.5	0*	0

20

閾値電圧がわずかに負の場合、わずかに負の制御ゲート電圧 (約-0. 7 V) で窒化膜閾値領域を抑止することができる。

図7Cに示される窒化物領域313の読み出し動作中、ソース線321は、ある中間の電圧 (~1. 2 V) に設定されることができ、ビット線322はあらかじめ0 Vに設定されてよい。さらに、選択された窒化物蓄積領域から読み出すためには、次の条件が満たされなければならない：1) ワード選択ゲート

25

- 19 -

- 電圧が0 Vから、ワード選択ゲートの閾値電圧 ($V_{t-w1}=0.5$ V) とソース電圧 (1.2 V) との合計よりも大きな増加分である電圧 (2.5 V) まで高められなければならない、および2) 選択された窒化物蓄積領域上の制御ゲートの電圧が V_{t-hi} (「エクスプレス」) に近くなければならない。選択されない
- 5 窒化物蓄積領域上の制御ゲートの電圧は、ソース電圧 + V_{t-hi} (「オーバーライド」) より大きくなければならない。選択されない隣接窒化物蓄積領域上の制御ゲートの電圧は、ゼロ (「抑止」) でなければならない。シリアルあるいは
- 10 パラレル読み出しのそれぞれにおいて、窒化物蓄積領域 3 1 3 の閾値電圧に対応するバイナリ値を決定するために、ビット拡散領域 3 2 2 の電圧がセンス増幅器によって監視され、切り換え可能な基準電圧、あるいはそれぞれ異なる基準電圧を有する複数のセンス増幅器と比較される。つまり、選択されたメモリセル内の選択されない窒化物領域をオーバーライドし、次に隣接セルの選択されない窒化物領域を抑止することによって、個々の選択された窒化物領域の閾値状態が決定される。
- 15 電子が酸化膜を貫通して窒化膜上に注入されるバリスティックチャネルのホットエレクトロン注入用に、電子が高いソースドレイン電位によって励起される。プログラムされた閾値電圧の大きさは、ソースドレイン電位およびプログラム時間によって制御される。表 2 は、選択された窒化物領域 3 1 3 に対して複数の閾値電圧をプログラムするための電圧を示す。これらの電圧は、単にプ
- 20 ログラム方法の説明をするための例であって、いかなる限定でもない。表 2 A では、窒化物蓄積領域 3 1 2 および 3 1 3 をオーバーライドするために、選択されたメモリセル 3 0 1 に関連する制御ゲート 3 3 1、3 3 2 が高電圧 (5 V) まで高められる。

表 2 A

選択された窒化物蓄積領域 3 1 3 のビット拡散領域手法プログラム

Vt	Vd0	Vcg	Vwl	Vd1	Vcg	Vwl	Vd2	Vcg	Vwl	Vd3	Vcg
Data	320	0 330	340	321	1 331	341	322	2 332	342	323	3 333
00	0	0	2.0	~0	5	2.0	5	5	2.0	0	0
01	0	0	2.0	~0	5	2.0	4.5	5	2.0	0	0
10	0	0	2.0	~0	5	2.0	4.0	5	2.0	0	0

5

10 所望の閾値のプログラムはビット拡散領域 3 2 2 によって決定される。2.0 V、1.6 V、および 1.2 V の閾値をプログラムするために、ビット拡散領域 3 2 2 がそれぞれ 5 V、4.5 V、および 4.0 V に固定される。ワード線 3 5 0 の電位がワードゲート 3 4 1 の閾値近くに高められた時に、高エネルギーの電子がチャンネル内に放出されて、注入が始まる。隣接するメモリセル内のプログラムを防止するために、遠位の隣接制御ゲートは 0 V に設定されるので、隣接メモリセルのチャンネル内には電子が存在しないであろう。つまり、当該高集積度メモリアレイ用のビット拡散領域の電位制御によって、多値閾値プログラムが達成される。例えば、1.2 V、1.6 V、および 2.0 V をプログラムするために、それぞれ 4.5 V、5 V、および 5.5 V にワード線電圧を変更することによって複数の閾値をプログラムすることもできる。

15

20 他の適用可能なプログラム方法は、異なる閾値を得るために制御ゲート電圧を変更するものである。多値が制御ゲート電圧によって得られるものであるならば、選択されたメモリセル 3 0 1 内の選択されない制御ゲート 3 3 1 は、窒化物領域 3 1 2 をオーバーライドするために 5 V にまで高めて設定されるであろう。閾値電位 1.2 V、1.6 V、および 2.0 V を得るために、選択された窒化物領域 3 1 3 上の制御ゲート 3 3 2 は、それぞれ 4.5 V、5 V、および 5.5 V に変更されるだろう。

25

多値プログラム用に説明された電圧条件に対する第 4 のプログラム方法が表 2 B に示されており、選択された制御ゲート電圧はビット電圧に一致し、それ

- 21 -

ぞれVd=5 V、4.5 V、4.0 VとVcg=5 V、4.5 V、4.0 Vである。

表 2 B

選択された窒化物蓄積領域 3 1 3 の制御ゲートビット方法プログラム

Vt	Vd0	Vcg	Vwl	Vd1	Vcg	Vwl	Vd2	Vcg	Vwl	Vd3	Vcg
Data	320	0 330	340	321	1 331	341	322	2 332	342	323	3 333
00	0	0	2.0	~0	5	2.0	5	5	2.0	0	0
01	0	0	2.0	~0	4.5	2.0	4.5	4.5	2.0	0	0
10	0	0	2.0	~0	4.0	2.0	4.0	4.0	2.0	0	0

プログラム電流が低いために、かつ前述のプログラミング構成によって、並列動作で同じワード線上の複数のセルをプログラムすることができる。さらに、ビット拡散領域あるいは制御ゲートのプログラム方法が用いられる場合には、周辺の復号化回路によって、複数の閾値が同時にプログラムされることもできる。しかしながら、適当な絶縁性を得るためには、選択されたメモリセルが、それらの間に2つ以上ものメモリセルを具備しなければならないことに注意しなければならない。また、多値位動作のために必要な狭いVt範囲を得るために、読み出し動作と類似のプログラム確認サイクルによって、プログラムの間中、閾値電圧が定期的に検査されなければならない。本発明におけるパリスティック短チャネルサイドウォールMONOS用のプログラム確認は、プログラム電圧が極めて低く、読み出し電圧条件に非常に似ているので、従来の浮遊ゲートおよびMONOSメモリよりも単純である。

消去中の窒化物領域からの電子の除去は、窒化物領域へ拡散領域からのホットホール注入によるか、あるいは窒化物領域から制御ゲートへのF-Nトンネリングによってなされる。ホットホール注入では、基板がアース接地され、拡散領域が5 Vに設定され、かつ-5 Vが制御ゲートに給電される。F-Nトンネリングでは、-3.5 Vが基板と拡散領域の両方に給電され、5 Vが制御ゲートに給電される。窒化物領域の障壁は同時に除去されなければならない。単

- 22 -

一窒化物領域は除去されることができない。

読み出しの好ましい実施例

- 各窒化物領域内の2ビット多値記憶用の読み出し動作が、0.25 μ プロセス用のシミュレーションに基づいて説明される。図8Aは、メモリセルおよび窒化物蓄積領域313の読み出し用の電圧条件を示す。記憶された4つの値の閾値電圧は「11」、「10」、「01」、および「00」状態用に、それぞれ0.8V、1.2V、1.6V、および2.0Vである。このことが図8Bに示される。ワード選択ゲート用の閾値電圧は0.5Vである。読み出し中、ソース電圧は1.2Vに固定される。選択されない窒化物蓄積領域上の制御ゲートは、全ての可能な閾値状態をオーバーライドするような5Vに設定され、選択された窒化物蓄積領域上の制御ゲートは、全ての可能な閾値状態の最高閾値電圧である2.0Vに設定される。その他の制御ゲートは全てゼロに設定されて、ビット接合部はあらかじめゼロに設定される。ワード線は0Vから1.0Vに高められて、ビット接合部が監視される。
- 15 ビット接合部の感知結果は図8Cに示されるようなカーブを生じる。窒化物蓄積領域313からの読み出し中のビット線電圧感知カーブ71、73、75、および77が、それぞれ異なる閾値0.8V、1.2V、1.6V、および2.0Vと対応して示される。電圧カーブから、それぞれの状態間の電圧差が、感知マージンに良好な約300mVであることが解る。シミュレーションはまた、
- 20 選択されないセルの状態が、図8Cのビット接合部電圧カーブで変化を示さないことも裏付ける。

本発明は、超短チャネルを伴ない、下層にONO窒化膜蓄積記憶領域を有するダブルサイドウォール制御ゲートを形成するための方法を提供する。拡張モードチャネルは35nm位であり、サイドウォールスペーサによって限定される。自己整合による二酸化シリコンの充填技術によって、ワードゲート間の絶縁が形成される。化学機械的研磨を用いる自己整合技術によって、ポリシリコ

- 23 -

ン制御ゲートが形成される。本発明のプロセスは、2つの実施例、すなわち、パリスティック注入を有するプレーナー短チャンネル構造、およびパリスティック注入を有するステップスプリットチャンネル構造を含む。第3の実施例は、制御ゲート形成後の隣接ワードゲートの絶縁を提供する。

- 5 本発明を好ましい実施例によって説明してきたが、本発明の精神や範囲を逸脱することなく詳細や形式上の変更が可能なことを当業者は理解するであろう。
- 産業上の利用可能性

- 本発明によって、高速低電圧パリスティックプログラム、超短チャンネル、超高集積度、デュアルビット多値のフラッシュメモリが、2つまたは3つのポリ
- 10 シリコン・スプリット・ゲート・サイドウォール・プロセスで実現される。

- 24 -

請 求 の 範 囲

1. 半導体基板(200)の表面上にゲートシリコン酸化膜(221)を形成すること、
前記ゲートシリコン酸化膜を覆うように第1のポリシリコン膜(245)を堆積
5 すること、
前記第1ポリシリコン膜を覆うように第1の窒化膜(232)を堆積すること、
ワードゲートが、その間に間隙が残るように形成されるように、前記第1の
ポリシリコン膜および前記第1の窒化膜をパターニングすること、
前記ワードゲートのサイドウォール上に第1の絶縁膜(234)を形成すること、
10 前記ワードゲートおよび前記ゲートシリコン酸化膜を覆うようにスペーサ膜
を堆積すること、
除去可能なスペーサ(242)が前記ワードゲートのサイドウォール上に残るよ
うに、前記スペーサ膜を異方性エッチングにより除去すること、
不純物濃度の低いドーパ領域(203)を形成するために、前記除去可能なスペ
15 ーサをイオン打ち込みマスクとして機能させて、前記半導体基板内にイオンを
打ち込むこと、
その後前記除去可能なスペーサを取り除くこと、
前記間隙内の前記半導体基板上に窒化物含有膜(230)を堆積すること、
前記ワードゲートおよび前記窒化物含有膜上に第2のポリシリコン膜を堆積
20 すること、
前記ワードゲートのサイドウォール上に、制御サイドウォールスペーサゲー
トとなるポリシリコンスペーサが残り、電荷が蓄積される窒化物領域を形成す
る窒化物含有膜が前記制御サイドウォールスペーサゲートのそれぞれの下に形
成されるように、前記第2のポリシリコン膜および前記窒化物含有膜を異方性
25 エッチングにより除去すること、
前記制御サイドウォールスペーサゲート(240)上に第2の絶縁膜(233)を形成

- 25 -

すること、

ビット拡散領域(204)を形成するために、前記制御サイドウォールスペーサゲートを打ち込みマスクとして機能させて、前記半導体基板内にイオンを打ち込むこと、

- 5 前記2つのワードゲート間の間隙を充填するような間隙充填材(247)で前記基板の表面を被覆すること、

前記間隙充填材料を平坦にすること、

その後前記ワードゲート上の前記第1の窒化膜(232)を除去すること、および

- 10 前記ワードゲートに接続されるワード線を形成するような第3のポリシリコン膜(248)を、前記基板上に堆積することを含むMONOSメモリデバイスの製造方法。

2. 前記ゲートシリコン酸化膜(221)が約5~10nmの厚さを有する請求項1の製造方法。

- 15 3. 前記第1のポリシリコン膜(245)がCVDにより約150~250nmの厚さにまで堆積される請求項1の製造方法。

4. 前記第1の窒化膜(232)がCVDにより約50~100nmの厚さにまで堆積される請求項1の製造方法。

- 20 5. 前記第1の絶縁膜(234)が、前記ワードゲートのサイドウォールの表面を熱酸化して約5~10nmの厚さに形成されたシリコン酸化膜である請求項1の製造方法。

6. 前記第1の絶縁膜が、CVDによって前記ワードゲートのサイドウォール上に約5~10nmの厚さに堆積されたシリコン酸化膜である請求項1の製造方法。

- 25 7. 前記第1の絶縁膜が、前記ワードゲートのサイドウォール上に約5~10nmの厚さに堆積されたシリコン窒化膜である請求項1の製造方法。

- 26 -

8. 前記第1の絶縁膜が、前記ワードゲートのサイドウォール上に、合わせて約5～10nmの厚さに堆積されたシリコン酸化膜およびシリコン窒化膜である請求項1の製造方法。

9. 前記スペーサ膜(242)が、ポリシリコン、プラズマ窒化膜、プラズマ酸化窒化膜、およびホウ素リンガラス(BPSG)を含むグループ内のいずれかによって構成され、約30～50nmの厚さである請求項1の製造方法。

10. 前記除去可能なスペーサを除去する段階が乾式の化学的異法性エッチングを含む請求項1の製造方法。

11. 前記窒化物含有膜(230)を堆積する段階が、
10 前記半導体基板上に、約3.6～5.0nmの厚さにまで第1のシリコン酸化膜を成長させること、

前記第1のシリコン酸化膜上に、約2～5nmの厚さを有するシリコン窒化膜を堆積すること、および

15 前記シリコン窒化膜上に、約4～8nmの厚さを有する第2のシリコン酸化膜を堆積することを含む請求項1の製造方法。

12. 前記シリコン窒化膜を堆積する段階の前に、前記第1のシリコン酸化膜を窒化することをさらに含む請求項1の製造方法。

13. 前記第2のポリシリコン膜が約30～50nmの厚さを有する請求項1の製造方法。

20 14. 前記第2のポリシリコン膜が約30～50nmの厚さを有し、約60～100nmの厚さを有するタングステンシリサイド層を堆積することをさらに含み、前記第2のポリシリコン膜およびタングステンシリサイド層が共に前記制御サイドウォールスペーサゲートを形成する請求項1の製造方法。

25 15. 前記第2の絶縁膜(233)が、CVDによって約10nmの厚さにまで堆積されたシリコン酸化膜を含む請求項1の製造方法。

16. 前記第2の絶縁膜が、CVDによって約10nmの厚さにまで堆積さ

れたシリコン窒化膜を含む請求項1の製造方法。

17. 前記制御サイドウォールスペーサゲート(240)の下層部分にサイドウォール酸化膜スペーサを形成するために、前記第2の絶縁膜に異方性エッチングを施すこと、および
- 5 その後に、前記制御サイドスペーサゲートの上層部分および前記ビット拡散領域をシリサイド化(241)することをさらに含む請求項1の製造方法。
18. 前記間隙充填材(247)が、シリコン酸化膜およびホウ素リンガラス(BPSG)を含むグループのいずれかにより構成される請求項1の製造方法。
19. 前記間隙充填材が伝導性材料を含み、さらに
- 10 前記伝導性材料を前記第1の窒化膜の表面下にへこませること、
前記へこまされた伝導性材料上にシリコン酸化膜(236)を堆積すること、および
- 前記シリコン酸化膜を平坦にすることを含み、
前記伝導性材料および下層の前記制御サイドウォールスペーサゲートが共に
- 15 制御ゲートを形成する請求項1の製造方法。
20. 前記第3のポリシリコン膜(248)が約150~200nmの厚さを有する請求項1の製造方法。
21. 前記ワード線をシリサイド化することをさらに含む請求項1の製造方法。
22. 半導体基板(200)の表面上にゲートシリコン酸化膜(221)を形成すること、
- 20 前記ゲートシリコン酸化膜を覆うように第1のポリシリコン膜(245)を堆積すること、
- 前記第1ポリシリコン膜を覆うように第1の窒化膜(232)を堆積すること、
- 25 ワードゲートが、その間に間隙が残るように形成されるように、前記第1のポリシリコン膜および前記第1の窒化膜をパターンニングすること、

- 28 -

前記ワードゲートのサイドウォール上に第1の絶縁膜(234)を形成すること、
前記ワードゲートおよび前記ゲートシリコン酸化膜を覆うようにスペーサ膜
を堆積すること、

- 5 除去可能なスペーサ(242)が前記ワードゲートのサイドウォール上に残るよ
うに、前記スペーサ膜を異方性エッチングにより除去すること、

前記半導体基板の1部を露出するために、前記ワードゲートおよび前記除去
可能なスペーサによって覆われない部分の前記ゲートシリコン酸化膜をエッチ
ングすること、

- 10 前記半導体基板の露出部分をエッチングすることにより、前記基板に段差を
形成すること、

不純物濃度の低いドーブ領域(203)を形成するために、前記除去可能なスペ
ーサをイオン打ち込みマスクとして機能させて、前記半導体基板内にイオンを
打ち込むこと、

- 15 その後に前記除去可能なスペーサを取り除くこと、
前記除去可能なポリシリコンスペーサ下のゲートシリコン酸化膜を除去する
こと、

前記半導体基板上に酸化膜-窒化膜-酸化膜の積層膜(230)を形成すること、
前記ワードゲートおよび前記積層膜上に第2のポリシリコン膜(240)を堆積
すること、

- 20 前記ワードゲートのサイドウォール上に、サイドウォール制御ゲートとなる
ポリシリコンスペーサが残り、電荷が蓄積される窒化物領域を形成する酸化膜
-窒化膜-酸化膜の積層膜が前記サイドウォール制御ゲートのそれぞれの下に
形成されるように、前記第2のポリシリコン膜(240)および前記酸化膜-窒化
膜-酸化膜の積層膜(230)を異方性エッチングにより除去すること、

- 25 前記制御サイドウォールスペーサゲート上に第2の絶縁膜(233)を形成する
こと、

- 29 -

- ビット拡散領域(204)を形成するために、前記制御サイドウォールゲートを打ち込みマスクとして機能させて、前記半導体基板内にイオンを打ち込むこと、
- 前記2つのサイドワードゲート間の間隙を充填するような間隙充填材(247)で前記基板の表面を被覆すること、
- 5 前記間隙充填材料を平坦にすること、
- その後前記ワードゲート上の前記第1の窒化膜を除去すること、および
- 前記ワードゲートに接続されるワード線を形成するような第3のポリシリコン膜(248)を、前記基板上に堆積することを含むステップスプリット構造MONOSメモリデバイスの製造方法。
- 10 23. 前記第1のポリシリコン膜(245)がCVDにより約150~250nmの厚さにまで堆積される請求項22の製造方法。
24. 前記第1の窒化膜(232)がCVDにより約50~100nmの厚さにまで堆積される請求項22の製造方法。
25. 前記第1の絶縁膜が、前記ワードゲートのサイドウォールの表面を熱
- 15 酸化して約5~10nmの厚さに形成されたシリコン酸化膜である請求項22の製造方法。
26. 前記ワードゲートのサイドウォール上の第1の絶縁膜が約5~10nmの厚さである請求項22の製造方法。
27. 前記スペーサ膜(242)が、ポリシリコン、プラズマ窒化膜、プラズマ
- 20 酸化窒化膜、およびホウ素リンガラス(BPSG)を含むグループ内のいずれかによって構成され、約30~50nmの厚さである請求項22の製造方法。
28. 前記除去可能なスペーサを除去する段階が乾式の化学的異法性エッチングを含む請求項22の製造方法。
29. 前記半導体基板に形成される段差が約20~50nmの深さを有する
- 25 請求項22の製造方法。
30. 前記除去可能なスペーサ下の前記ゲートシリコン酸化膜を除去する工

- 30 -

程の後に、前記段差の角を丸めることをさらに含む請求項 22 の製造方法。

31. 前記段差の角の丸め工程が、約 1000~1100℃で、約 60 秒間の高速熱焼きなましを含む請求項 30 の製造方法。

32. 前記段差の角の丸め工程が、約 900℃、約 200~300 m トール
5 圧の水素内での焼きなましを含む請求項 30 の製造方法。

33. 前記酸化膜-窒化膜-酸化膜の積層膜が、
約 3.6~5.0 nm の厚さを有する第 1 のシリコン酸化膜、
約 2~5 nm の厚さを有する第 2 のシリコン窒化膜、および
約 4~8 nm の厚さを有する第 3 のシリコン酸化膜を含む請求項 22 の製造
10 方法。

34. 前記第 2 のポリシリコン膜が約 30~50 nm の厚さを有する請求項
22 の製造方法。

35. 前記第 2 のポリシリコン膜が約 30~50 nm の厚さを有し、約 60
~100 nm の厚さを有するタングステンシリサイド層を堆積することをさら
15 に含み、前記第 3 のポリシリコン膜およびタングステンシリサイド層が共に前
記制御サイドウォールゲートを形成する請求項 22 の製造方法。

36. 前記第 2 の絶縁膜が、CVD によって約 10 nm の厚さにまで堆積さ
れたシリコン酸化膜を含む請求項 22 の製造方法。

37. 前記第 2 の絶縁膜が、CVD によって約 10 nm の厚さにまで堆積さ
20 れたシリコン窒化膜を含む請求項 22 の製造方法。

38. 前記制御サイドウォールスペーサゲートの下層部分にサイドウォール
酸化膜スペーサを形成するために、前記第 2 の絶縁膜に異方性エッチングを施
すこと、および

その後、前記制御サイドスペーサゲートの上層部分および前記ビット拡散
25 領域をシリサイド化することをさらに含む請求項 22 の製造方法。

39. 前記間隙充填材が、シリコン酸化膜およびホウ素リンガラス (BPS

G) を含むグループのいずれかにより構成される請求項 22 の製造方法。

40. 前記間隙充填材が伝導性材料を含み、さらに
前記伝導性材料を前記第 1 の窒化膜の表面下にへこませること、
前記へこまされた伝導性材料上にシリコン酸化膜を堆積すること、および
- 5 前記シリコン酸化膜を平坦にすることを含み、
前記伝導性材料および下層の前記制御サイドウォールスペーサゲートが共に
制御ゲートを形成する請求項 22 の製造方法。
41. 前記第 3 のポリシリコン膜が約 90 ~ 180 nm の厚さを有する請求
項 22 の製造方法。
- 10 42. 前記ワード線をシリサイド化することをさらに含む請求項 22 の製造
方法。
43. 前記ワード線をシリサイド化することをさらに含む請求項 22 の製造
方法。
44. 半導体基板(200)の表面上に窒化物含有膜(230)を形成すること、
- 15 前記窒化物含有膜上を覆うように第 1 のポリシリコン膜(245)を堆積するこ
と、
前記第 1 ポリシリコン膜上を覆うように第 2 の窒化膜(232)を堆積すること、
ワードゲートが、その間に間隙が残るように形成されるように、前記第 1 の
ポリシリコン膜および前記第 2 の窒化膜をパターニングすること、
- 20 前記ワードゲートのサイドウォール上に第 1 の絶縁膜(234)を形成すること、
前記ワードゲートおよび前記ゲートシリコン酸化膜を覆うようにスペーサ膜
を堆積すること、
除去可能なスペーサ(243)が前記ワードゲートのサイドウォール上に残るよ
うに、前記スペーサ膜を異方エッチングにより除去すること、
- 25 ピット拡散領域を形成するために、前記除去可能なスペーサをイオン打ち込
みマスクとして機能させて、前記半導体基板内にイオンを打ち込むこと、

- 32 -

- その後前記除去可能なスペーサを取り除くこと、
- 前記ワードゲート上を覆い、前記間隙を充填する第2のポリシリコン膜(240)を堆積すること、
- 前記第2のポリシリコン膜を前記第2の窒化膜の表面下までへこませること、
- 5 前記へこまされた第2のポリシリコン膜をシリサイド化(241)し、そのシリサイド化され、へこまされた第2のポリシリコン膜が制御ゲートを形成すること、
- 前記シリサイド化(241)され、へこまされた第2のポリシリコン膜上に酸化膜(236)を堆積すること、
- 10 その後前記ワードゲート上の前記第2の窒化層(232)を除去すること、および
- MONOSメモリ素子の前記製造を完了させるために、前記ワードゲート下で接続されるワード線を形成するような第3のポリシリコン膜(248)を、前記基板上に堆積することを含むMONOSメモリデバイスの製造方法。
- 15 45. 前記窒化物含有膜を形成する段階が、
- 前記半導体基板上に、約3.6~5.0nmの厚さにまで第1のシリコン酸化膜を成長させること、
- 前記第1のシリコン酸化膜上に、約2~5nmの厚さを有するシリコン窒化膜を堆積すること、および
- 20 前記シリコン窒化膜上に、約4~8nmの厚さを有する第2のシリコン酸化膜を堆積することを含む請求項44の製造方法。
46. 前記シリコン窒化膜を堆積する段階の前に、前記第1のシリコン酸化膜を窒化することをさらに含む請求項45の製造方法。
47. 前記第1のポリシリコン膜がCVDにより約150~250nmの厚
- 25 さにまで堆積される請求項44の製造方法。
48. 前記第1の窒化膜がCVDにより約50~100nmの厚さにまで堆

積される請求項 4 4 の製造方法。

4 9. 前記第 1 の絶縁膜が、前記ワードゲートのサイドウォール上に約 5 ~ 1 0 n m の厚さである請求項 4 4 の製造方法。

5 0. 前記スペーサ膜が、ポリシリコン、プラズマ窒化膜、プラズマ酸化窒
5 化膜、およびホウ素リンガラス (B P S G) を含むグループ内のいずれかによ
って構成され、約 3 0 ~ 5 0 n m の厚さである請求項 4 4 の製造方法。

5 1. 前記除去可能なスペーサを除去する工程の前に、
前記除去可能なスペーサによって被覆されない前記窒化物含有膜の上部シリ
コン酸化膜と窒化膜をエッチングすること、
10 前記窒化膜がエッチングされた部分に約 4 ~ 6 n m の厚さにまで第 3 のシリ
コン酸化膜 (2 4 4) を堆積すること、および
前記制御ゲートおよび前記ビット拡散領域間の結合容量が低減されるように、
前記第 3 のシリコン酸化膜を酸化することによって、前記窒化膜がエッチング
された部分に約 2 0 n m の厚さを有する酸化膜を形成することをさらに含む請
15 求項 4 4 の製造方法。

5 2. 前記除去可能なスペーサを除去する段階が乾式の化学的異法性エッチ
ングを含む請求項 4 4 の製造方法。

5 3. 前記第 2 のポリシリコン膜が約 3 0 ~ 5 0 n m の厚さを有する請求項
4 4 の製造方法。

20 5 4. 前期第 2 の絶縁膜が、CVDによって約 1 0 n m の厚さにまで堆積さ
れたシリコン酸化膜を含む請求項 4 4 の製造方法。

5 5. 前期第 2 の絶縁膜が、CVDによって約 1 0 n m の厚さにまで堆積さ
れたシリコン酸化膜を含む請求項 4 4 の製造方法。

5 6. 前記第 3 のポリシリコン膜が約 1 5 0 ~ 2 0 0 n m の厚さを有する請
25 求項 4 4 の製造方法。

5 7. 間隙がその間に残るように、半導体基板の表面上のゲートシリコン酸

- 34 -

化膜上にワードゲート(340, 341, 342)を設けること、

前記ワードゲートのサイドウォール上に除去可能なスペーサ(242)を形成すること、

5 不純物濃度の低いドープ領域(203)を形成するために、前記除去可能なスペーサをイオン打ち込みマスクとして機能させて、前記半導体基板内にイオンを打ち込むこと、

その後前記除去可能なスペーサを取り除くこと、

10 窒化膜電荷保持領域として機能するような窒化物含有膜を下層にそれぞれ有するサイドウォールポリシリコンゲートを前記ワードゲート(240)側面に形成すること、

ビット拡散領域(204)を形成するために、前記制御サイドウォールポリシリコンゲートをイオン打ち込みマスクとして機能させて、前記半導体基板内にイオンを打ち込むこと、

前記サイドウォールゲート上に絶縁膜(233)を形成すること、

15 前記2つのワードゲート間の間隙を第2のポリシリコン膜(247)で充填すること、

前記第2のポリシリコン膜をへこませること、

前記へこまされた第2のポリシリコン膜をシリサイド化(241)すること、

20 前記下層のサイドウォールポリシリコンゲートと共に制御ゲートを形成する、前記へこまされてシリサイド化された第2のポリシリコン層を、酸化膜(236)で被覆すること、および

前記ワードゲートに接続されるワード線を形成するような第3のポリシリコン膜(248)を、前記基板上に堆積することを含むフラッシュメモリデバイスの製造方法。

25 58. 前記第1のポリシリコン膜が約150~250nmの厚さを有する請求項57の製造方法。

- 35 -

59. 前記スペーサ膜が、ポリシリコン、プラズマ窒化膜、プラズマ酸化窒化膜、およびホウ素リンガラス (BPSG) を含むグループ内のいずれかによって構成される請求項57の製造方法。

60. 前記窒化物含有膜が、酸化シリコン膜の第1層、窒化シリコン膜の第2層、および酸化シリコン膜の第3層を含む請求項57の製造方法。

61. 前記除去可能なスペーサの除去の後に、約20~50nmの深さを有する段差を前記半導体基板内に形成するために、前記半導体基板内にエッチングすることをさらに含む請求項57の製造方法。

62. 前記段差の角を丸める工程をさらに含む請求項57の製造方法。

63. 前記段差の角の丸め工程が、約1000~1100℃で、約60秒間の高速熱焼きなましを含む請求項62の製造方法。

64. 前記段差の角の丸め工程が、約900℃、約200~300mトル圧の水素内での焼きなましを含む請求項62の製造方法。

65. 前記ワードゲート縁から前記ビット拡散領域の縁までに限定されるチャネル長が約30~50nmであり、これによってパルスティック電子注入が発生する請求項57の製造方法。

66. 半導体基板表面上のワードゲート(340, 341, 342)と、前記ワードゲートのサイドウォール上で絶縁膜によって前記ワードゲートから絶縁されたサイドウォール制御ゲート(331a, 331b, 332a, 332b)と、前記サイドウォール制御ゲート下のONO膜内に形成され、電子メモリ蓄積が実行される窒化物領域(311, 312, 313, 314)と、

前記ワードゲートおよび他のメモリセル内のワードゲートを覆って、これらを相互に接続し、さらに、絶縁膜によって前記サイドウォール制御ゲートから絶縁されて、当該サイドウォール制御ゲートを覆うポリシリコンワード線(350)と、

前記半導体基板内で前記サイドウォール制御ゲートのそれぞれに隣接するピ

- 36 -

ット線拡散領域(322)とを含むMONOSメモリセル。

67. 各サイドウォール制御ゲートが、絶縁膜によって前記他のメモリセルのサイドウォール制御ゲートから絶縁された請求項66のMONOSメモリセル。

- 5 68. 各制御ゲートが、前記ビット拡散領域および前記サイドウォール制御ゲートを覆うポリシリコン膜を2つのワードゲート間を含み、前記窒化物領域が前記サイドウォール制御ゲート下のみに形成された請求項66のMONOSメモリセル。

- 10 69. 前記ワードゲート縁から前記ビット拡散領域の縁までに限定されるチャンネル長が約30~50nmであり、これによってバリスティック電子注入が発生する請求項66のMONOSメモリセル。

- 15 70. 前記窒化物領域の一方が選択窒化物領域であり、他方の窒化物領域が非選択窒化物領域であって、前記選択窒化物領域に近いビット線拡散領域がビット拡散領域であり、前記非選択窒化物領域に近いビット線拡散領域がソース拡散領域であって、セルの読み出し動作が、

前記非選択窒化物領域をオーバーライドすること、

ワードゲート閾値電圧、オーバードライブ電圧、および前記ソース拡散領域上の電圧の和を前記ワードゲートに供給すること、

- 20 前記選択窒化物領域に隣接する前記制御ゲートに、選択窒化物領域からの読み出しを可能にするのに十分な電圧を供給すること、および

前記ビット拡散領域上の電圧準位を測定することによって前記セルを読み出すことによって実行される請求項66のMONOSメモリセル。

- 25 71. 前記メモリセルがMONOSメモリアレイ内の多数のメモリセルの1つであって、読み出される以外の全てのセルに0Vの制御ゲート電圧を供給することをさらに含む請求項70のMONOSメモリセル。

72. 前記メモリセルがMONOSメモリアレイ内の多数のメモリセルの1

つであって、リークを防ぐために、読み出される以外の全てのセルに -0.7 Vの制御ゲート電圧を供給することをさらに含む請求項70のMONOSメモリセル。

73. 前記ビット拡散領域上の電圧準位が、前記セルの複数の閾値準位の内の1つを代表する請求項66のMONOSメモリセル。

74. 前記窒化物領域の一方が選択窒化物領域であり、他方の窒化物領域が非選択窒化物領域であって、前記選択窒化物領域に近いビット線拡散領域がビット拡散領域であり、前記非選択窒化物領域に近いビット線拡散領域がソース拡散領域であって、セルのプログラム動作が、

10 前記非選択窒化物領域をオーバーライドするために前記非選択制御ゲート上に高圧を供給すること、

前記選択窒化物領域の制御ゲート電圧を高めること、

前記ビット拡散領域上に一定の電圧を供給すること、

前記ワードゲート閾値電圧より大きな電圧を前記ワード線上に供給すること、

15 および

その時にチャネル領域から前記選択窒化物領域への電子のバリスティック注入が生じるような、前記ソース拡散領域から前記ビット拡散領域への電流が流れるように、前記ソース拡散領域の電圧を低くすることによって実行される請求項66のMONOSメモリセル。

20 75. 前記ビット拡散線上の電圧を変えることによって複数の閾値がプログラムされる請求項74のMONOSメモリセル。

76. 前記メモリセルがMONOSメモリアレイ内の多数のメモリセルの1つであって、1つのワード線を共有する隣接したセルの窒化物領域を、そのセルに0 Vの制御ゲート電圧を供給することによって無効にすることをさらに含む請求項74のMONOSメモリセル。

25

77. 前記制御ゲートの一方が選択制御ゲートであり、その下層の窒化物領

- 38 -

域が選択窒化物領域であり、かつ、他方の制御ゲートが非選択制御ゲートであり、その下層の窒化物領域が非選択窒化物領域であって、前記選択窒化物領域に近いビット線拡散領域がビット拡散領域であり、前記非選択窒化物領域に近いビット線拡散領域がソース拡散領域であって、セルのプログラム動作が、

- 5 前記非選択窒化物領域をオーバーライドするように前記非選択制御ゲート上に高電圧を供給すること、および

前記選択制御ゲート上の電圧を変えることによって実行される請求項66のMONOSメモリセル。

78. 前記メモリセルが、1つのワード線を共有するフラッシュメモリアレイ内の多数のセルの1つであり、前記制御ゲートあるいは前記ビット拡散領域のどちらかの電圧を変えることによって、複数のセルを異なる閾値で同時にプログラムすることをさらに含む請求項66のMONOSメモリセル。
- 10

79. 窒化物領域の1つのブロックの消去動作が、
前記ビット線拡散領域に正の電圧を供給すること、および

- 15 前記ビット線拡散領域上の制御ゲートに負の電圧を供給することによって実行される請求項66のMONOSメモリセル。

80. 窒化物領域の1つのブロックの消去動作が、
前記半導体基板および前記ビット線拡散領域に負の電圧を供給すること、および

- 20 前記制御ゲートに正の電圧を供給することによって実行される請求項66のMONOSメモリセル。

81. 半導体基板表面上のワードゲート(340, 341, 342)と、

前記ワードゲートのサイドウォール上で絶縁膜によって前記ワードゲートから絶縁されたサイドウォール制御ゲート(331a, 331b, 332a, 332b)と、

- 25 前記サイドウォール制御ゲート下のONO膜内に形成され、電子メモリ蓄積が実行される窒化物領域(311, 312, 313, 314)と、

- 39 -

前記ワードゲートおよび他のメモリセル内のワードゲートを覆って、これらを相互に接続し、さらに、絶縁膜によって前記サイドウォール制御ゲートから絶縁されて、当該サイドウォール制御ゲートを覆うポリシリコンワード線(350)と、

- 5 前記半導体基板内で前記サイドウォール制御ゲートのそれぞれに隣接するビット線拡散領域(322)とを含み、

前記窒化物領域の一方が選択窒化物領域であり、他方の窒化物領域が非選択窒化物領域であって、前記選択窒化物領域に近いビット線拡散領域がビット拡散領域であり、前記非選択窒化物領域に近いビット線拡散領域がソース拡散領域

- 10 であって、セルの読み出し動作が、

前記非選択窒化物領域をオーバーライドすること、

ワードゲート閾値電圧、オーバードライブ電圧、および前記ソース拡散領域上の電圧の和を前記ワードゲートに供給すること、

- 15 前記選択窒化物領域に隣接する前記制御ゲートに、選択窒化物領域からの読み出しを可能にするのに十分な電圧を供給すること、および

前記ビット線拡散領域上の電圧準位を測定することによって前記セルを読み出すことによって実行されるMONOSメモリセルの書込み方法。

82. 半導体基板表面上のワードゲート(340, 341, 342)と、

- 20 前記ワードゲートのサイドウォール上で絶縁膜によって前記ワードゲートから絶縁されたサイドウォール制御ゲート(331a, 331b, 332a, 332b)と、

前記サイドウォール制御ゲート下のONO膜内に形成され、電子メモリ蓄積が実行される窒化物領域(311, 312, 313, 314)と、

- 前記ワードゲートおよび他のメモリセル内のワードゲートを覆って、これらを相互に接続し、さらに、絶縁膜によって前記サイドウォール制御ゲートから
25 絶縁されて、当該サイドウォール制御ゲートを覆うポリシリコンワード線(350)と、

- 40 -

前記半導体基板内で前記サイドウォール制御ゲートのそれぞれに隣接するビット線拡散領域(322)と含み、

前記窒化物領域の一方が選択窒化物領域であり、他方の窒化物領域が非選択窒化物領域であって、前記選択窒化物領域に近いビット線拡散領域がビット拡散領域であり、前記非選択窒化物領域に近いビット線拡散領域がソース拡散領域であって、セルの読み出し動作が、

前記非選択窒化物領域をオーバーライドすること、

ワードゲート閾値電圧、オーバードライブ電圧、および前記ソース拡散領域上の電圧の和を前記ワードゲートに供給すること、

10 前記選択窒化物領域に隣接する前記制御ゲートに、選択窒化物領域からの読み出しを可能にするのに十分な電圧を供給すること、および

前記選択制御ゲート上の電圧を変える段階を含むMONOSメモリセルのプログラム方法。

83. 半導体基板表面上のワードゲート(340)と、

15 前記ワードゲートのサイドウォール上で絶縁膜によって前記ワードゲートから絶縁されたサイドウォール制御ゲートと、

前記サイドウォール制御ゲート下のONO膜内に形成され、電子メモリ蓄積が実行される窒化物領域(311, 312, 313, 314)と、

20 前記ワードゲートおよび他のメモリセル内のワードゲートを覆って、これらを相互に接続し、さらに、絶縁膜によって前記サイドウォール制御ゲートから絶縁されて、当該サイドウォール制御ゲートを覆うポリシリコンワード線(350)と、

前記半導体基板内で前記サイドウォール制御ゲートのそれぞれに隣接するビット線拡散領域(322)とを含み、

25 窒化物領域の1つのブロックの消去方法が、

前記ビット線拡散領域に正の電圧を供給する段階、および

- 41 -

前記ビット線拡散領域上の制御ゲートに負の電圧を供給する段階を含むMONOSメモリセルの消去方法。

84. 半導体基板表面上のワードゲート(340, 341, 342)と、

前記ワードゲートのサイドウォール上で絶縁膜によって前記ワードゲートから絶縁されたサイドウォール制御ゲート(331a, 331b, 332a, 332b)と、

前記2つのサイドウォール制御ゲート間の半導体基板内のビット線拡散領域(322)と、

前記サイドウォール制御ゲート下の窒化物充填領域(311, 312, 313, 314)を含むフラッシュメモリデバイス。

10 85. 前記サイドウォール制御ゲート上の絶縁膜と、

前記制御ゲート上にあつて、前記ワードゲートを接続するワード線とをさらに含む請求項84のデバイス。

86. 前記ワードゲートの縁から前記ビット拡散領域の縁までに限定される前記チャンネル長が約30~50nmであり、そこでバリスティック電子注入が生じる請求項84のMONOSメモリセル。

15

補正書の請求の範囲

[2002年4月16日 (16. 04. 02) 国際事務局受理：出願当初の請求の範囲66, 70, 71, 74, 76, 79, 80, 83-86は取り下げられた；出願当初の請求の範囲67, 69, 72, 73, 75, 77, 78, 81, 82は補正された；新しい請求の範囲87, 88が加えられた；他の請求の範囲は変更なし。(6頁)]

5 9. 前記スペーサ膜が、ポリシリコン、プラズマ窒化膜、プラズマ酸化窒化膜、およびホウ素リンガラス (BPSG) を含むグループ内のいずれかによって構成される請求項57の製造方法。

60. 前記窒化物含有膜が、酸化シリコン膜の第1層、窒化シリコン膜の第5
2層、および酸化シリコン膜の第3層を含む請求項57の製造方法。

61. 前記除去可能なスペーサの除去の後に、約20~50nmの深さを有する段差を前記半導体基板内に形成するために、前記半導体基板内にエッチングすることをさらに含む請求項57の製造方法。

62. 前記段差の角を丸める工程をさらに含む請求項57の製造方法。

10 63. 前記段差の角の丸め工程が、約1000~1100℃で、約60秒間の高速熱焼きなましを含む請求項62の製造方法。

64. 前記段差の角の丸め工程が、約900℃、約200~300mトル圧の水素内での焼きなましを含む請求項62の製造方法。

15 65. 前記ワードゲート縁から前記ビット拡散領域の縁までに限定されるチャンネル長が約30~50nmであり、これによってパルスティック電子注入が発生する請求項57の製造方法。

66. (削除)

67. (補正後) 半導体基板表面上のワードゲート(340, 341, 342)と、
前記ワードゲートのサイドウォール上で絶縁膜によって前記ワードゲートか
20 ら絶縁されたサイドウォール制御ゲート(331a, 331b, 332a, 332b)と、

前記サイドウォール制御ゲート下のONO膜内に形成され、電子メモリ蓄積が実行される窒化物領域(311, 312, 313, 314)と、

前記ワードゲートおよび他のメモリセル内のワードゲートを覆って、これらを相互に接続し、さらに、絶縁膜によって前記サイドウォール制御ゲートから
25 絶縁されて、当該サイドウォール制御ゲートを覆うポリシリコンワード線(350)と、

前記半導体基板内で前記サイドウォール制御ゲートのそれぞれに隣接するビット線拡散領域(322)とを含み、

前記各サイドウォール制御ゲートが、絶縁膜によって前記他のメモリセルのサイドウォール制御ゲートから絶縁されたMONOSメモリセル。

- 5 68. 各制御ゲートが、前記ビット拡散領域および前記サイドウォール制御ゲートを覆うポリシリコン膜を2つのワードゲート間に含み、前記窒化物領域が前記サイドウォール制御ゲート下のみに形成された請求項67のMONOSメモリセル。

- 10 69. (補正後) 前記ワードゲート縁から前記ビット拡散領域の縁までに限定されるチャンネル長が約30~50nmであり、これによってパルスティック電子注入が発生する請求項67または68のMONOSメモリセル。

70. (削除)

71. (削除)

- 15 72. (補正後) 前記窒化物領域の一方が選択窒化物領域であり、他方の窒化物領域が非選択窒化物領域であって、前記選択窒化物領域に近いビット線拡散領域がビット拡散領域であり、前記非選択窒化物領域に近いビット線拡散領域がソース拡散領域であって、セルの読み出し動作が、

前記非選択窒化物領域をオーバーライドし、

- 20 ワードゲート閾値電圧、および前記ソース拡散領域上の電圧の和を前記ワードゲートに供給し、

前記選択窒化物領域に隣接する前記制御ゲートに、選択窒化物領域からの読み出しを可能にするのに十分な電圧を供給し、

前記ビット拡散領域上の電圧準位を測定することによって前記セルを読み出すことによって実行され、

- 25 リークを防ぐために、読み出される以外の全てのセルに-0.7Vの制御ゲート電圧を供給することをさらに含むMONOSメモリセル。

7 3. (補正後) 前記窒化物領域の一方が選択窒化物領域であり、他方の窒化物領域が非選択窒化物領域であって、前記選択窒化物領域に近いビット線拡散領域がビット拡散領域であり、前記非選択窒化物領域に近いビット線拡散領域がソース拡散領域であって、セルの読み出し動作が、

- 5 前記非選択窒化物領域をオーバーライドし、
ワードゲート閾値電圧、および前記ソース拡散領域上の電圧の和を前記ワードゲートに供給し、

前記選択窒化物領域に隣接する前記制御ゲートに、選択窒化物領域からの読み出しを可能にするのに十分な電圧を供給し、

- 10 前記ビット拡散領域上の電圧準位を測定することによって前記セルを読み出すことによって実行され、

前記ビット拡散領域上の電圧値が、前記セルの複数の閾値レベルの内の1つを代表する請求項67または68のMONOSメモリセル。

7 4. (削除)

- 15 7 5. (補正後) 前記窒化物領域の一方が選択窒化物領域であり、他方の窒化物領域が非選択窒化物領域であって、前記選択窒化物領域に近いビット線拡散領域がビット拡散領域であり、前記非選択窒化物領域に近いビット線拡散領域がソース拡散領域であって、セルのプログラム動作が、

- 20 前記非選択窒化物領域をオーバーライドするために前記非選択制御ゲート上に高圧を供給すること、

前記選択窒化物領域の制御ゲート電圧を高めること、

前記ビット拡散領域上に一定の電圧を供給すること、

前記ワードゲート閾値電圧より大きな電圧を前記ワード線上に供給すること、
および

- 25 その時にチャネル領域から前記選択窒化物領域への電子のパリステック注入が生じるような、前記ソース拡散領域から前記ビット拡散領域への電流が流

れるように、前記ソース拡散領域の電圧を低くすることによって実行され、

前記ビット拡散線上の電圧を変えることによって複数の閾値がプログラムされることを含む請求項67または68のMONOSメモリセル。

76. (削除)

- 5 77. (補正後) 前記制御ゲートの一方が選択制御ゲートであり、その下層の窒化物領域が選択窒化物領域であり、かつ、他方の制御ゲートが非選択制御ゲートであり、その下層の窒化物領域が非選択窒化物領域であって、前記選択窒化物領域に近いビット線拡散領域がビット拡散領域であり、前記非選択窒化物領域に近いビット線拡散領域がソース拡散領域であって、セルのプログラム
- 10 動作が、

前記非選択窒化物領域をオーバーライドするように前記非選択制御ゲート上に高電圧を供給すること、および

前記選択制御ゲート上の電圧を変えることによって複数の閾値がプログラムされることを含む請求項67または68のMONOSメモリセル。

- 15 78. (補正後) 前記メモリセルが、1つのワード線を共有するフラッシュメモリアレイ内の多数のセルの1つであり、前記制御ゲートあるいは前記ビット拡散領域のどちらかの電圧を変えることによって、複数のセルを異なる閾値で同時にプログラムすることをさらに含む請求項67または68のMONOSメモリセル。

20 79. (削除)

80. (削除)

81. (補正後) 半導体基板表面上のワードゲート(340, 341, 342)と、

前記ワードゲートのサイドウォール上で絶縁膜によって前記ワードゲートから絶縁されたサイドウォール制御ゲート(331a, 331b, 332a, 332b)と、

- 25 前記サイドウォール制御ゲート下のONO膜内に形成され、電子メモリ蓄積が実行される窒化物領域(311, 312, 313, 314)と、

前記ワードゲートおよび他のメモリセル内のワードゲートを覆って、これらを相互に接続し、さらに、絶縁膜によって前記サイドウォール制御ゲートから絶縁されて、当該サイドウォール制御ゲートを覆うポリシリコンワード線(350)と、

- 5 前記半導体基板内で前記サイドウォール制御ゲートのそれぞれに隣接するビット線拡散領域(322)とを含み、

前記窒化物領域の一方が選択窒化物領域であり、他方の窒化物領域が非選択窒化物領域であって、前記選択窒化物領域に近いビット線拡散領域がビット拡散領域であり、前記非選択窒化物領域に近いビット線拡散領域がソース拡散領域

- 10 であって、セルの読み出し動作が、

前記非選択窒化物領域をオーバーライドすること、

ワードゲート閾値電圧および前記ソース拡散領域上の電圧の和を前記ワードゲートに供給すること、

- 15 前記選択窒化物領域に隣接する前記制御ゲートに、選択窒化物領域からの読み出しを可能にするのに十分な電圧を供給すること、および

前記ビット線拡散領域上の電圧値を測定することによって実行されるMONOSメモリセルの読み出し方法。

82. (補正後) 半導体基板表面上のワードゲート(340, 341, 342)と、

- 20 前記ワードゲートのサイドウォール上で絶縁膜によって前記ワードゲートから絶縁されたサイドウォール制御ゲート(331a, 331b, 332a, 332b)と、

前記サイドウォール制御ゲート下のONO膜内に形成され、電子メモリ蓄積が実行される窒化物領域(311, 312, 313, 314)と、

- 25 前記ワードゲートおよび他のメモリセル内のワードゲートを覆って、これらを相互に接続し、さらに、絶縁膜によって前記サイドウォール制御ゲートから絶縁されて、当該サイドウォール制御ゲートを覆うポリシリコンワード線(350)と、

前記半導体基板内で前記サイドウォール制御ゲートのそれぞれに隣接するビット線拡散領域(322)と含み、

前記窒化物領域の一方が選択窒化物領域であり、他方の窒化物領域が非選択窒化物領域であって、

- 5 前記選択窒化物領域に近いビット線拡散領域がビット拡散領域であり、前記非選択窒化物領域に近いビット線拡散領域がソース拡散領域であって、セルのプログラム動作が、

前記非選択窒化物領域をオーバーライドするために前記非選択制御ゲート上に高圧を供給すること、および

- 10 前記選択制御ゲート上の電圧を変えることによって複数の閾値がプログラムされることを含むMONOSメモリセルの多値プログラム方法。

8 3. (削除)

8 4. (削除)

8 5. (削除)

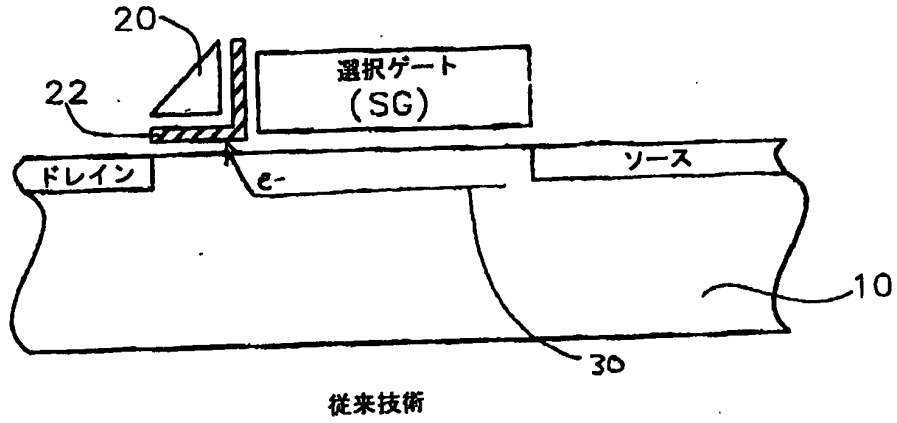
- 15 8 6. (削除)

8 7. (追加) 前記ビット拡散線上の電圧を変えることによって実行されるMONOSメモリセルの請求項 8 2 の多値プログラム方法。

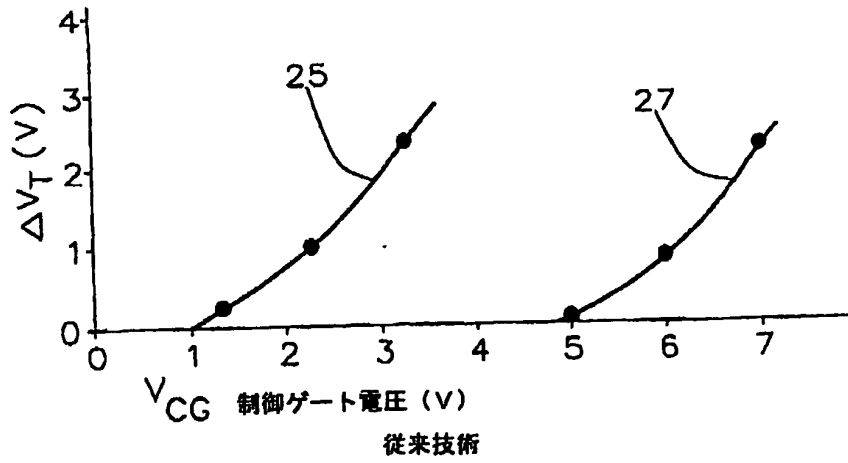
8 8. (追加) 前記選択窒化物領域にプログラム動作を実行中に、前記読み出し動作と類似の動作を挿入して閾値を確認することを含む請求項 8 2 の多値

- 20 プログラム方法。

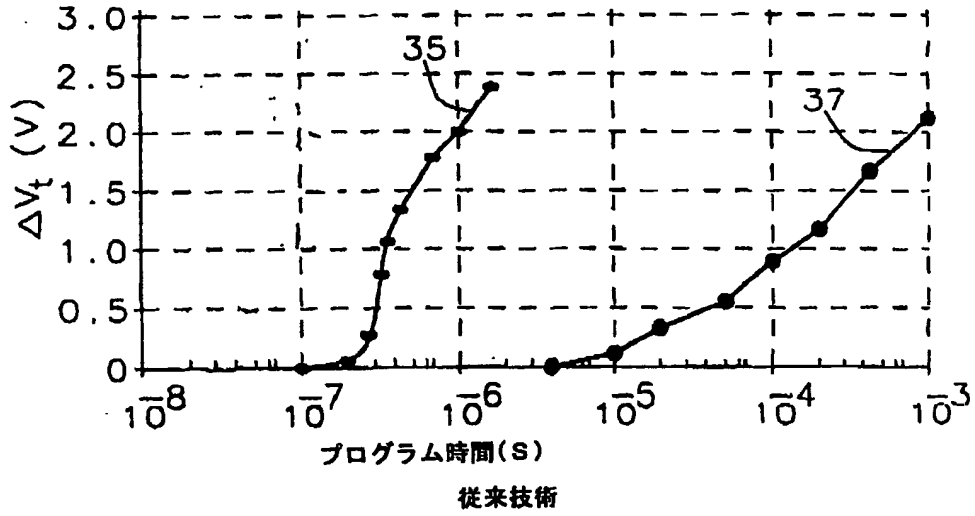
1/11
第1図



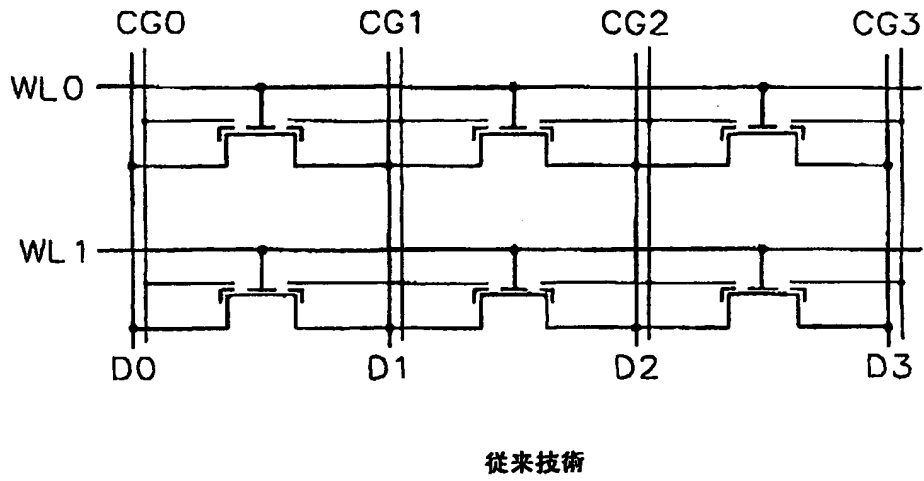
第2A図



2/11
第2B図



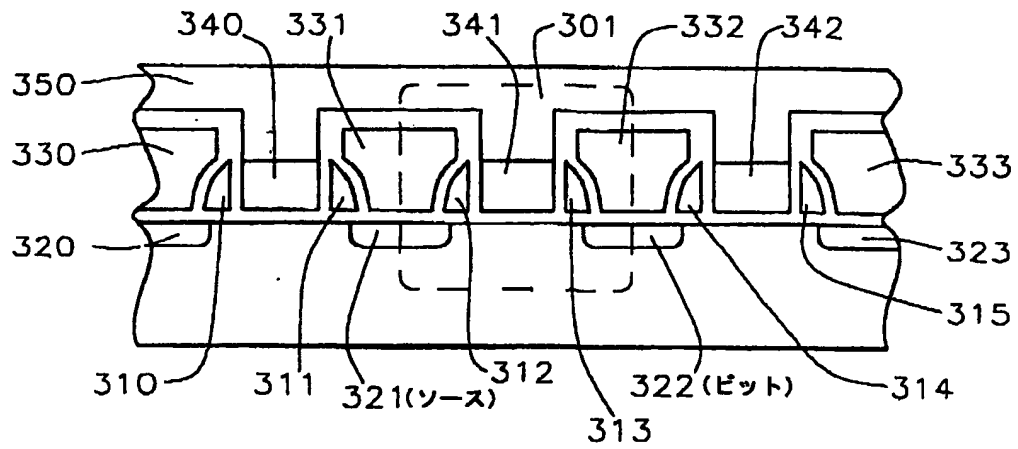
第3A図



従来技術

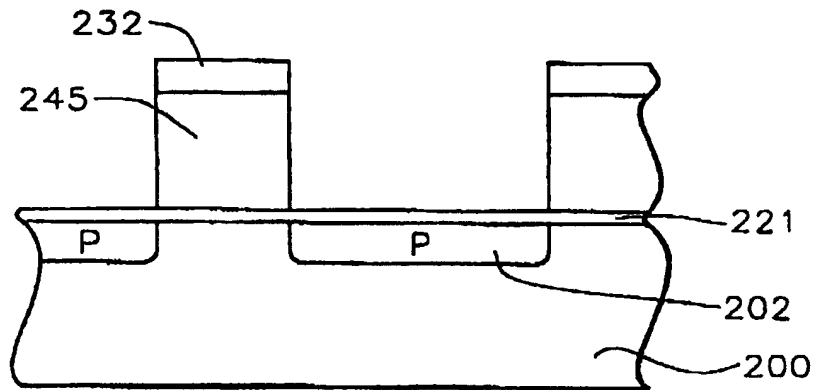
3/11

第3B図

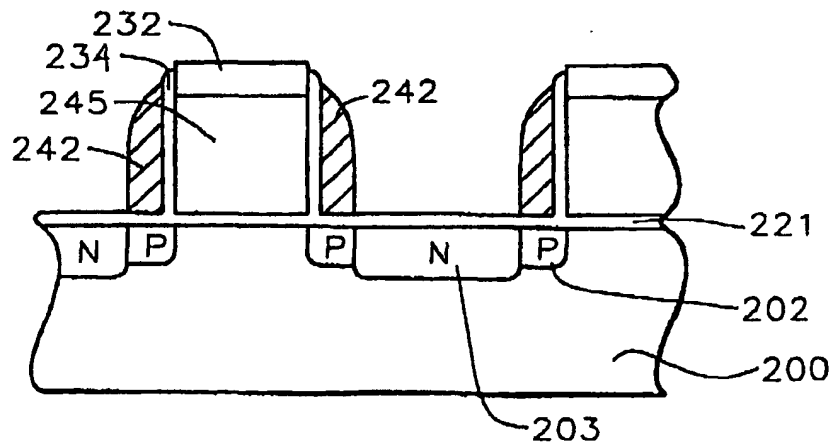


従来技術

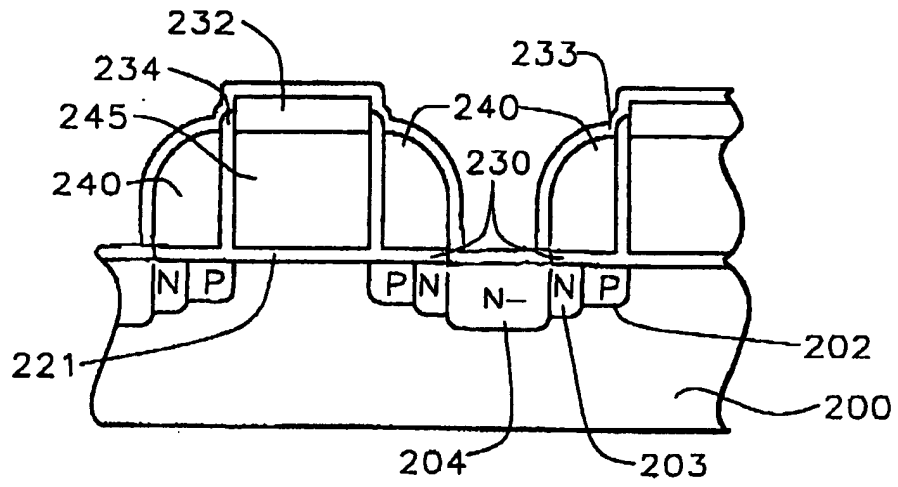
第4A図



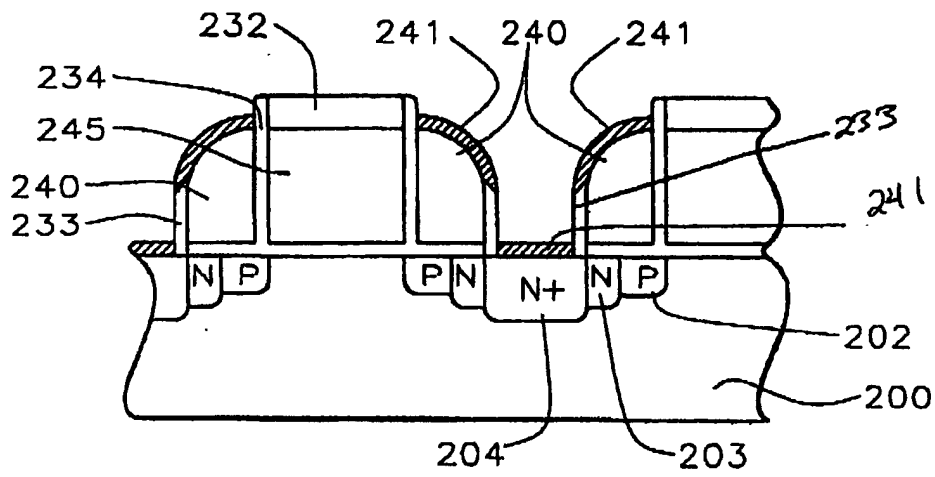
第4B図



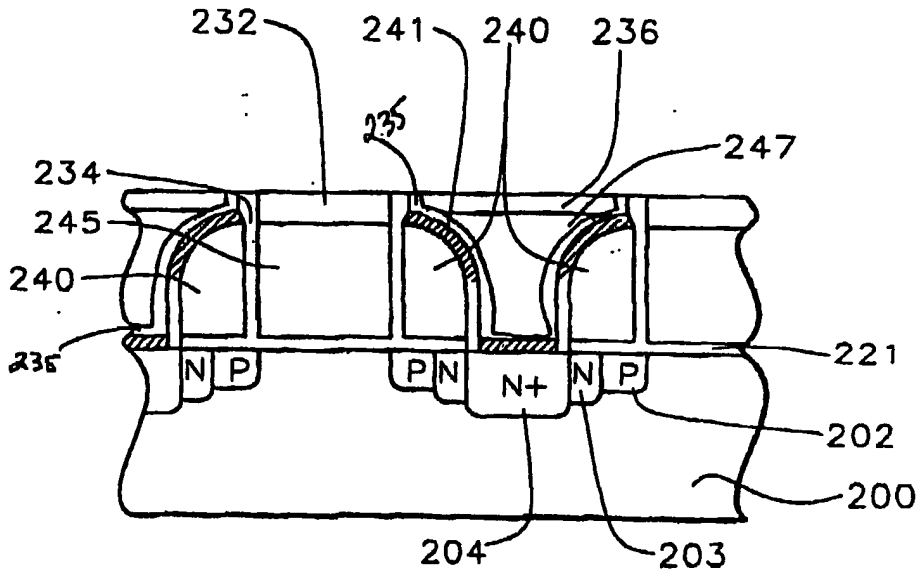
4/11
第4C图



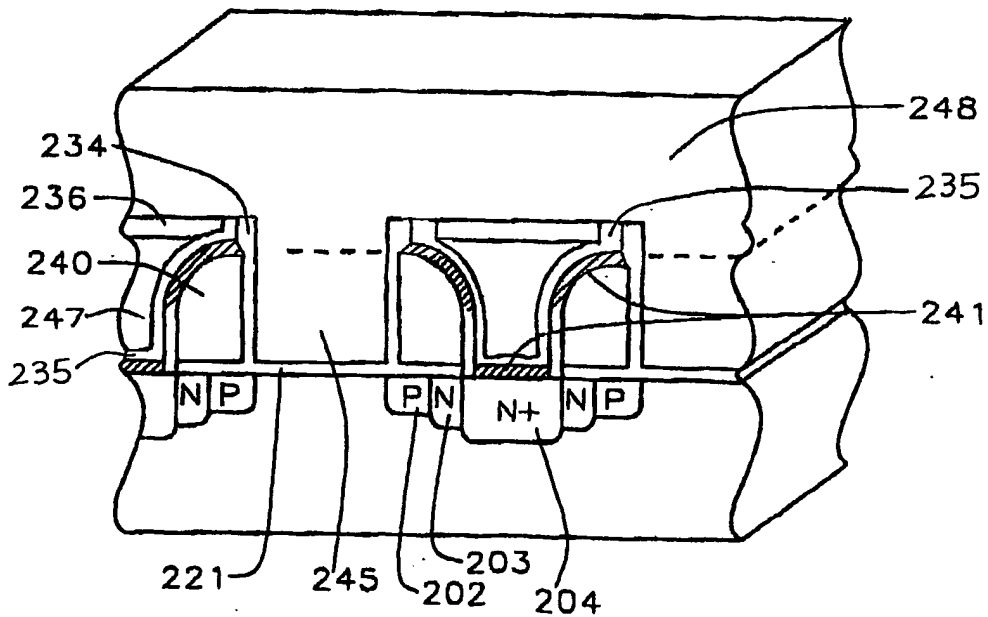
第4D图



5/11
第4E図

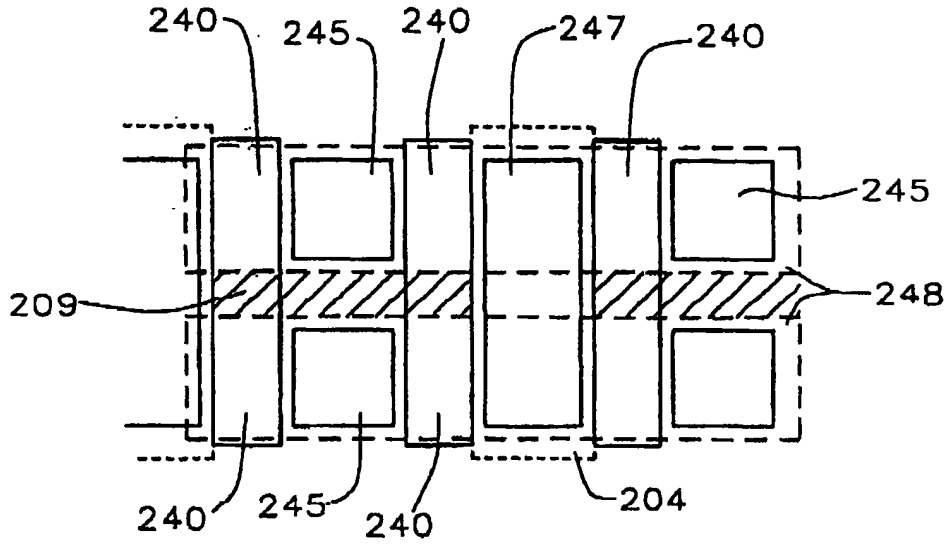


第4F図

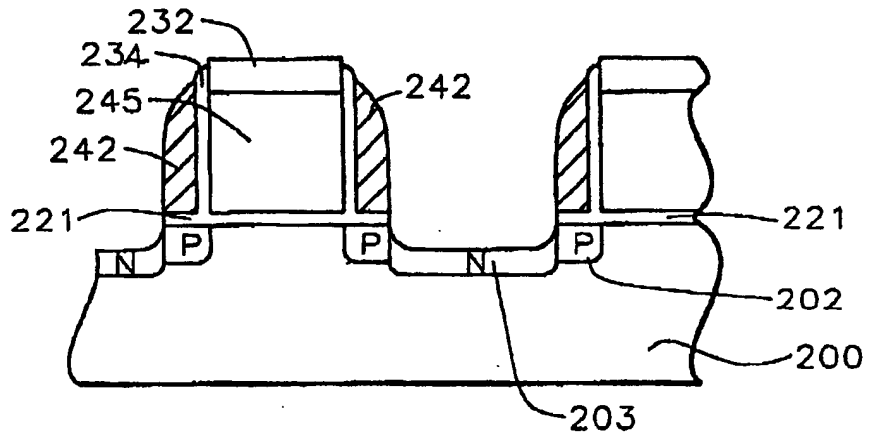


6/11

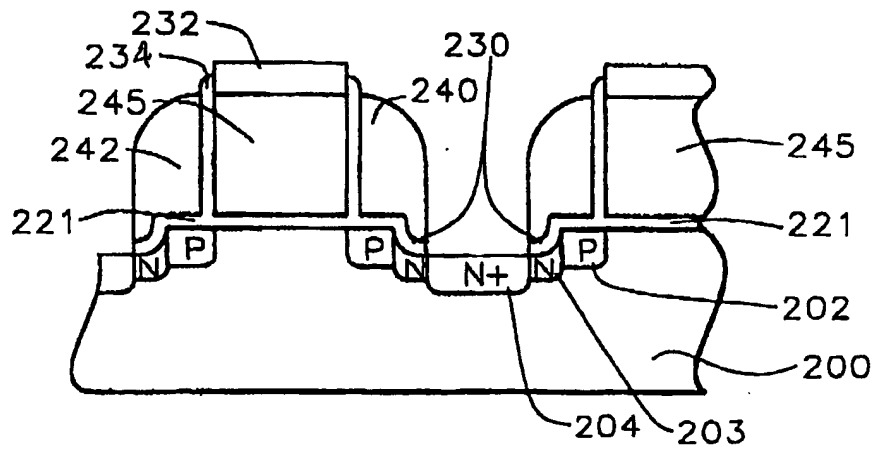
第4G图



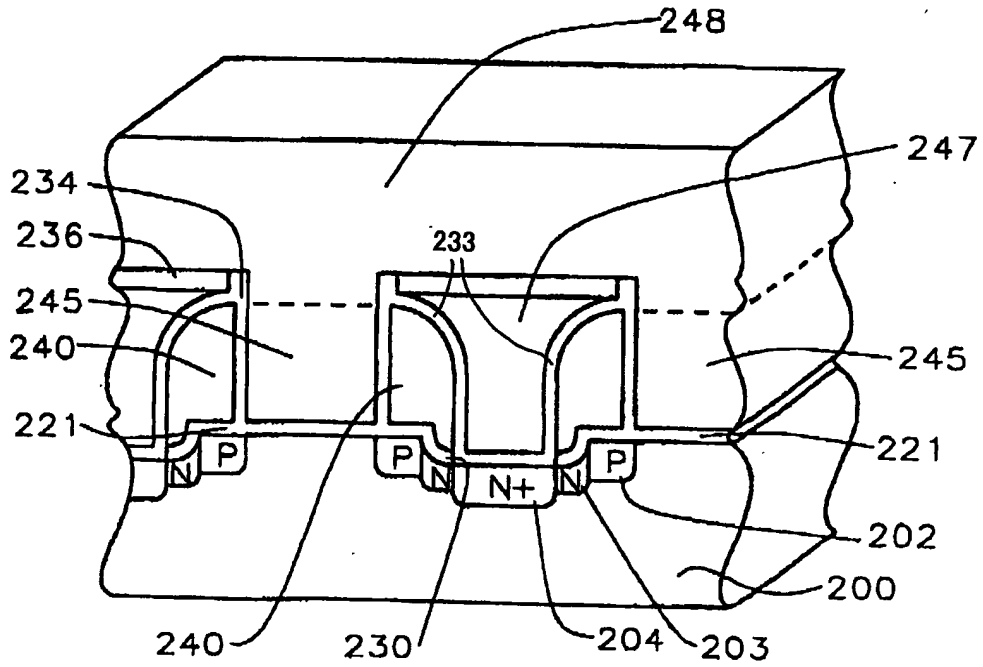
第5B图



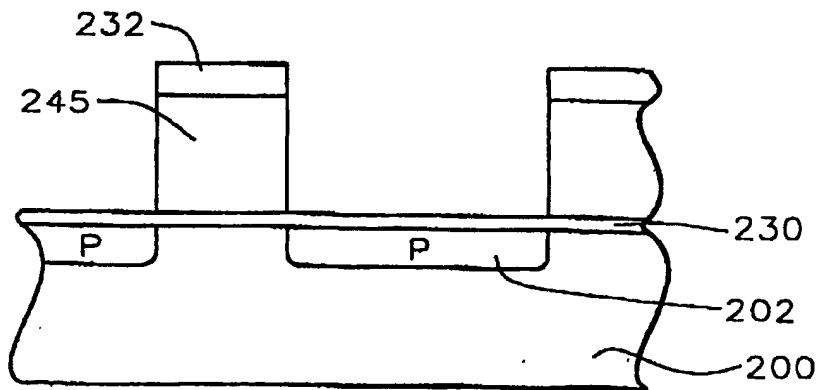
第5C图



7/11
第5F图

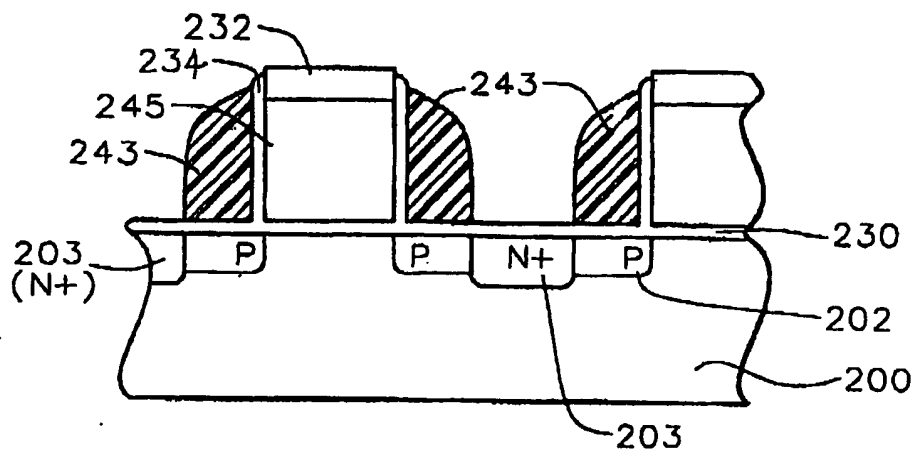


第6A图

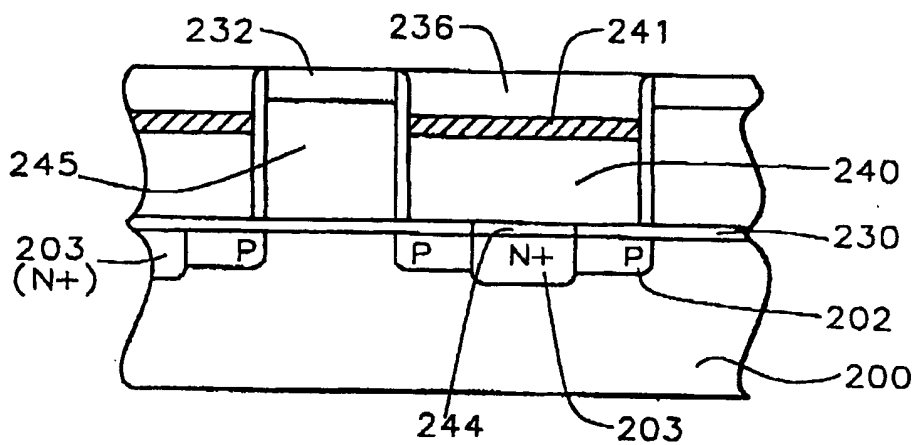


8/11

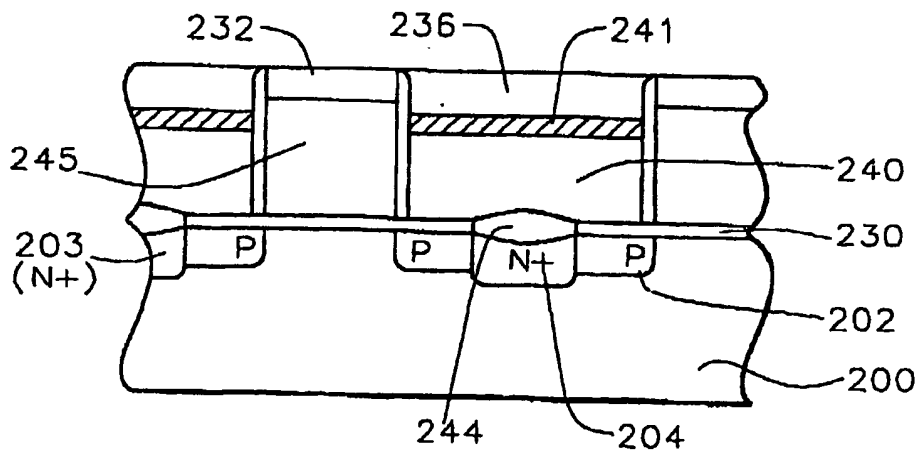
第6B図



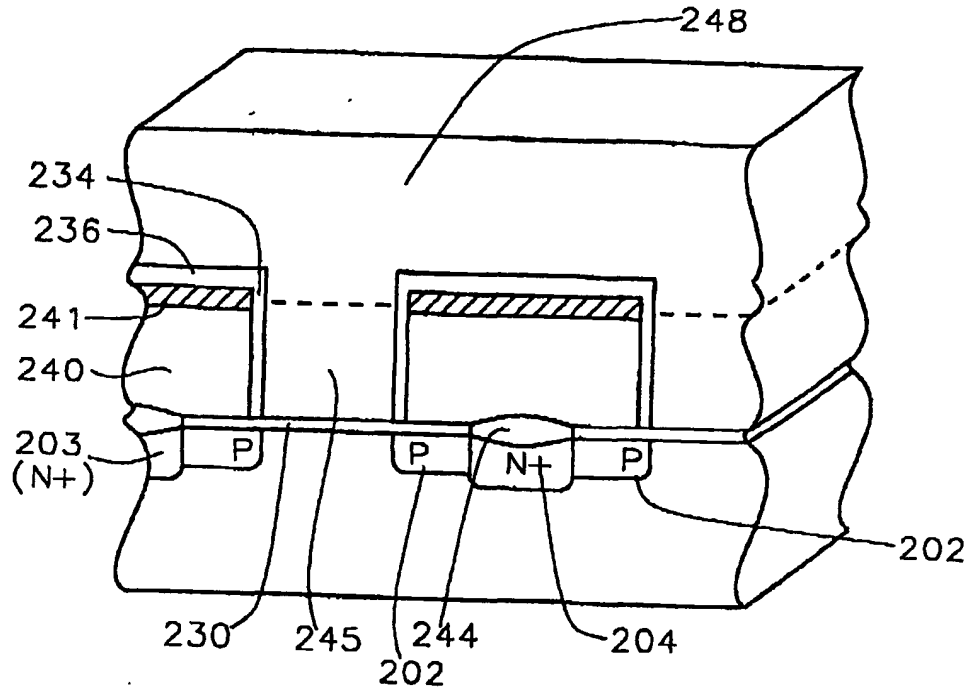
第6C図



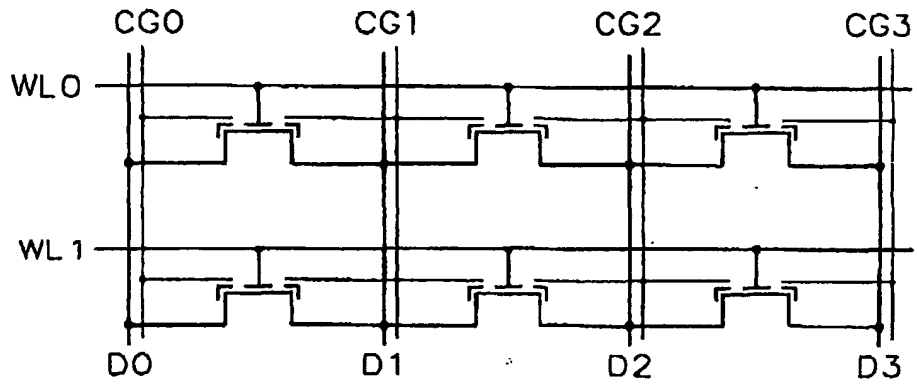
第6D図



9/11
第6F图

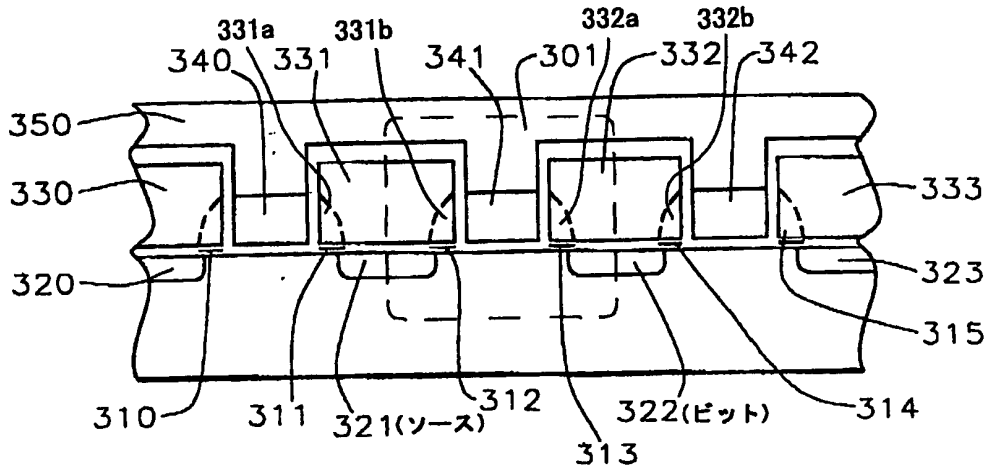


第7A图

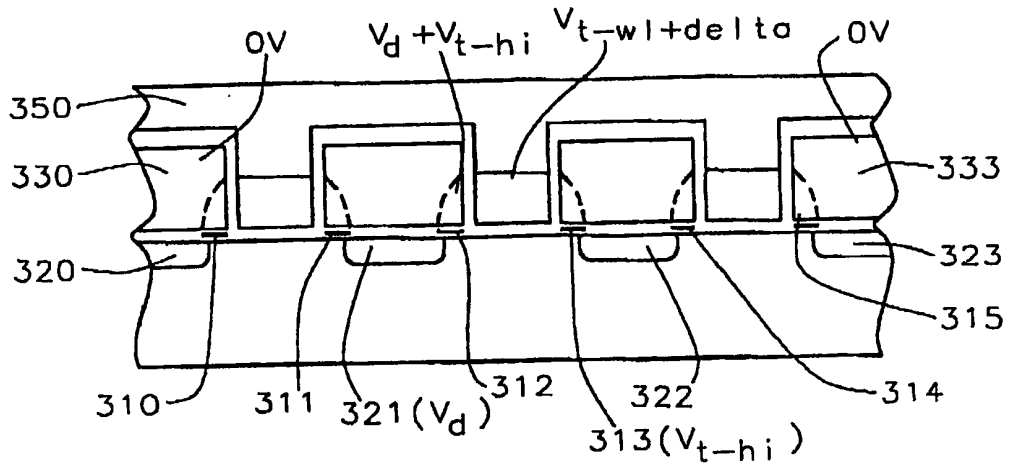


10/11

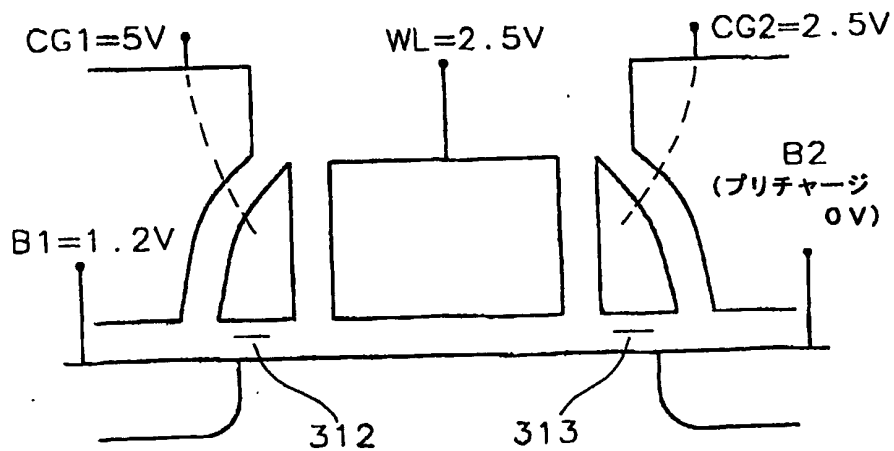
第7B図



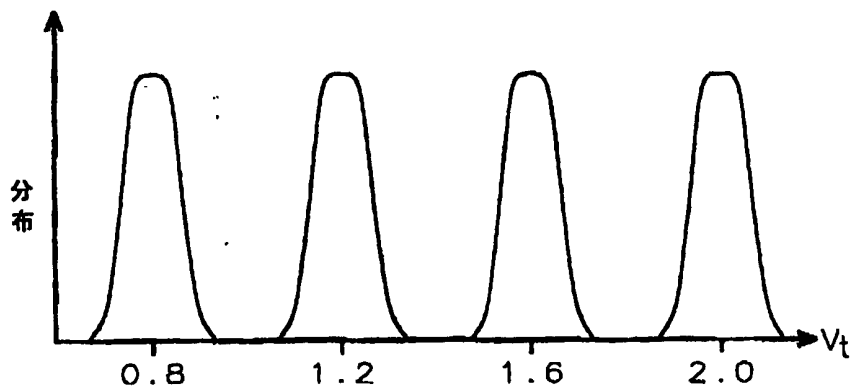
第7C図



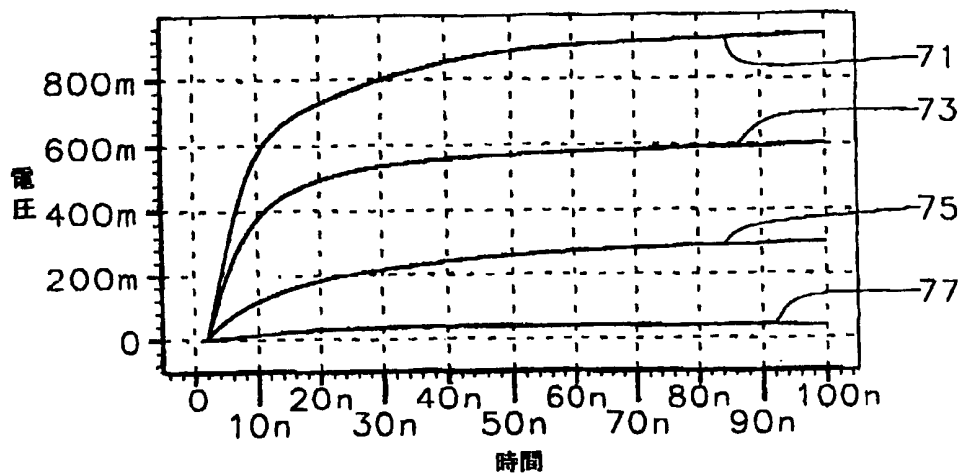
第8A図



11/11
第8B图



第8C图



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP01/10156

A. CLASSIFICATION OF SUBJECT MATTER
Int.Cl.⁷ H01L29/792, 21/8247

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)
Int.Cl.⁷ H01L29/792, 29/788, 27/115, 21/8247

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched
Jitsuyo Shinan Koho 1926-1996 Jitsuyo Shinan Toroku Koho 1996-2002
Kokai Jitsuyo Shinan Koho 1971-2002 Toroku Jitsuyo Shinan Koho 1994-2002

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)
The IEEE/IEE Electronic Library Online

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	2000 Symposium on VLSI Technology Digest of Technical Papers, 13 June, 2000 (13.06.2000), pages 122 to 123 Full text	66-68, 70, 73, 77-79, 81-85
Y	Full text	69, 71, 72, 74-76, 80, 86
A	Full text	1-65
Y	International Electron Devices Meeting, (1998), pages 987 to 990; page 987, "Step Split Device with Ballistic Direct Injection"	69, 86
Y	JP 5-145080 A (Kawasaki Steel Corporation), 11 June, 1993 (11.06.1993), Par. No. [0009] to [0012]; Figs. 1 to 4 (Family: none)	66-69, 84-85

Further documents are listed in the continuation of Box C.

See patent family annex.

* Special categories of cited documents:
"A" document defining the general state of the art which is not considered to be of particular relevance
"E" earlier document but published on or after the international filing date
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
"O" document referring to an oral disclosure, use, exhibition or other means
"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"&" document member of the same patent family

Date of the actual completion of the international search
18 February, 2002 (18.02.02)

Date of mailing of the international search report
26 February, 2002 (26.02.02)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP01/10156

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 5-326976 A (Rohm Co., Ltd.), 10 December, 1993 (10.12.1993), Par. No. [0025] to [0028]; Figs. 1 to 10 (Family: none)	1-65
EY	JP 2001-357681 A (Sony Corporation), 26 December, 2001 (26.12.2001), Full text; Figs. 2, 3, 5, 6, 9 to 11 (Family: none)	66-69, 84-85
EA	JP 2001-168219 A (Sony Corporation), 22 June, 2001 (22.06.2001), Full text (Family: none)	69, 86

A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int.Cl¹ H01L29/792, 21/8247

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int.Cl¹ H01L29/792, 29/788, 27/115, 21/8247

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報 1926-1996年
 日本国公開実用新案公報 1971-2002年
 日本国実用新案登録公報 1996-2002年
 日本国登録実用新案公報 1994-2002年

国際調査で使用了電子データベース (データベースの名称、調査に使用した用語)

The IEEE/IEE Electronic Library Online

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
X	2000 Symposium on VLSI Technology Digest of Technical Papers 2000.06.13, p.122-123 全文	66-68, 70, 73, 77-79, 81-85
Y	全文	69, 71, 72, 74- 76, 80, 86
A	全文	1-65

C欄の続きにも文献が列挙されている。

パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

- 「A」 特に関連のある文献ではなく、一般的技術水準を示すもの
- 「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
- 「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)
- 「O」 口頭による開示、使用、展示等に言及する文献
- 「P」 国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

- 「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
- 「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
- 「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
- 「&」 同一パテントファミリー文献

国際調査を完了した日

18.02.02

国際調査報告の発送日

26.02.02

国際調査機関の名称及びあて先

日本国特許庁 (ISA/JP)
 郵便番号100-8915
 東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

井原 純



4M 9354

電話番号 03-3581-1101 内線 3462

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
Y	International Electron Devices Meeting 1998 p.987-990 第987頁「Step Split Device with Ballistic Direct Injection」 の欄	69, 86
Y	JP 5-145080 A (川崎製鉄株式会社) 1993. 06. 11 【0009】欄～【0012】欄及び図1～4 (ファミリー無し)	66-69, 84-85
A	JP 5-326976 A (ローム株式会社) 1993. 12. 10 【0025】欄～【0028】欄及び図1～10 (ファミリー無し)	1-65
EY	JP 2001-357681 A (ソニー株式会社) 2001. 12. 26 全文及び図2, 3, 5, 6, 9～11 (ファミリー無し)	66-69, 84-85
EA	JP 2001-168219 A (ソニー株式会社) 2001. 06. 22 全文 (ファミリー無し)	69, 86